

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-144497

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

G11C 29/00  
G01R 31/28  
G01R 31/3185  
G11C 11/407  
G11C 11/401

(21)Application number : 09-312355

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.11.1997

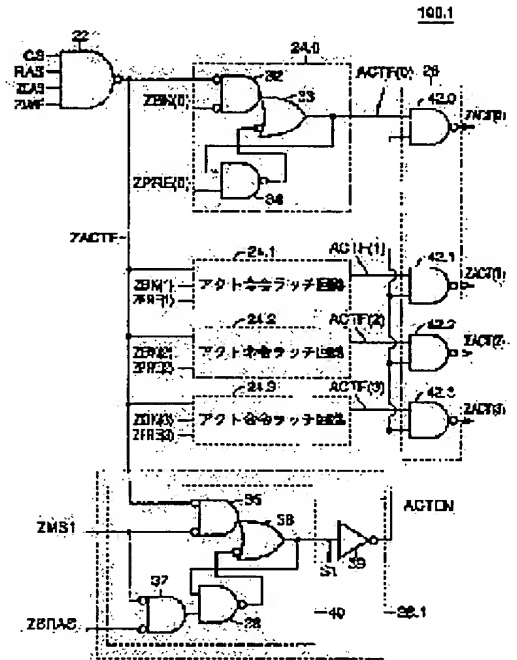
(72)Inventor : SAKURAI MIKIO

## (54) SYNCHRONIZATION-TYPE SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a synchronization-type semiconductor memory device in which the activation and the nonactivation of a bank can be controlled from the outside.

**SOLUTION:** An act-signal generation circuit 100 in a synchronization-type semiconductor memory device is provided with an act-instruction latch circuit 24, with an act-instruction output circuit 26 and with an act-instruction control circuit 28. The act-instruction latch circuit 24 latches active instruction information which is received from the outside. The act-instruction output circuit 26 responds to an enable signal ACTEN, and it outputs an act-start signal ZACT which indicates a bank. The act-instruction control circuit 28 responds to a change in the level of an external control signal the inverse of RAS, and it changes the level of the enable signal ACTEN. As a result, the active instruction information is delayed so as to be transmitted to the bank.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-144497

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>6</sup>  
G 1 1 C 29/00  
G 0 1 R 31/28  
31/3185  
G 1 1 C 11/407  
11/401

識別記号

6 7 1

F I

G 1 1 C 29/00

6 7 1 M

G 0 1 R 31/28

B

W

G 1 1 C 11/34

3 5 4 C

3 5 4 D

審査請求 未請求 請求項の数20 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願平9-312355

(22) 出願日 平成9年(1997)11月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 櫻井 幹夫

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

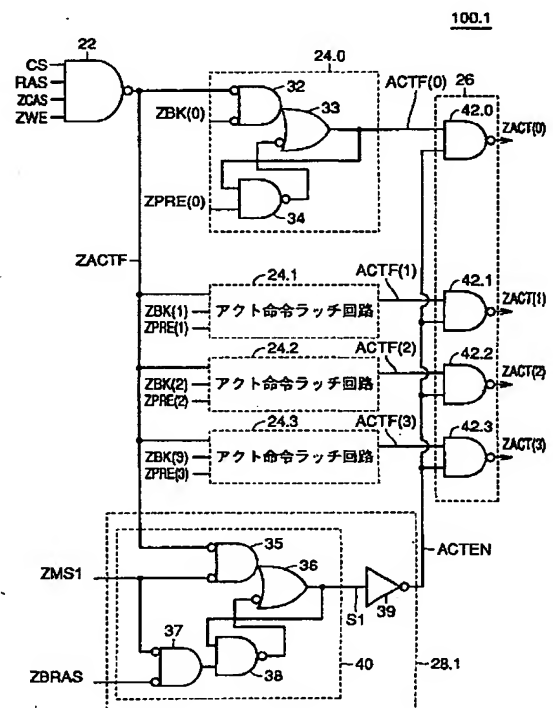
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 バンクの活性化・非活性化を外部からコントロールできる同期型半導体記憶装置を提供する。

【解決手段】 本発明の同期型半導体記憶装置におけるアクト信号発生回路100は、アクト命令ラッチ回路24、アクト命令出力回路26及びアクト命令制御回路28を備える。アクト命令ラッチ回路24は、外部から受ける活性命令情報をラッチする。アクト命令出力回路26は、イネーブル信号ACTENに応答して、バンクを活性化させるアクト開始信号ZACTを出力する。アクト命令制御回路28は、テストモードにおける外部制御信号/RASのレベル変化にตอบสนองして、イネーブル信号ACTENのレベルを変化さる。この結果、活性命令情報を遅延してバンクに伝達することが可能となる。



## 【特許請求の範囲】

【請求項 1】 行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、

外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、

外部から入力されるテストモード指定信号に応答して、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、

前記内部クロック信号に同期して入力される前記ワード線を活性化する活性命令を検出して、前記ワード線を活性化させる活性開始信号を出力する活性制御手段とを備え、

前記活性制御手段は、

前記テストモード信号に応答して、前記活性開始信号を前記活性命令の入力タイミングより遅延して対応する前記バンクに出力する、同期型半導体記憶装置。

【請求項 2】 前記活性制御手段は、

前記活性命令に対応する前記活性開始信号を生成してラッチするラッチ手段と、

前記テストモード信号に応答して、外部から入力される外部信号のレベル変化のタイミングに基づき、イネーブル信号を出力する制御手段と、

前記イネーブル信号に応答して、前記ラッチ手段の出力に基づき、前記バンクに対応する前記活性開始信号を出力する出力手段とを備える、請求項 1 記載の同期型半導体記憶装置。

【請求項 3】 前記活性制御手段は、

前記活性命令に対応する前記活性開始信号を生成して出力する第 1 の出力手段と、

前記テストモード信号に応答して、前記第 1 の出力手段の出力する前記活性開始信号を遅延して出力する第 2 の出力手段と、

前記テストモード信号に応答して、前記第 1 の出力手段の出力または第 2 の出力手段の出力のいずれか一方を前記活性開始信号として出力する制御手段とを含む、請求項 1 記載の同期型半導体記憶装置。

【請求項 4】 前記活性制御手段は、

前記テストモード信号に応答して、外部から入力される外部信号を前記活性命令に対応する前記活性開始信号として出力する出力手段を含む、請求項 1 記載の同期型半導体記憶装置。

【請求項 5】 前記外部信号とは、ロウアドレスストロブ信号である、請求項 2 記載の同期型半導体記憶装置。

【請求項 6】 前記第 2 の出力手段は、

前記テストモード信号に応答して、前記活性命令の取込みタイミングを決定した前記内部クロック信号の立下が

りタイミングで前記第 1 の出力手段の出力をラッチして出力するラッチ手段と、

前記ラッチ手段の出力を遅延する遅延手段とを含む、請求項 3 記載の同期型半導体記憶装置。

【請求項 7】 行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、

外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、

外部から入力されるテストモード指定信号に応答して、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、

前記内部クロック信号に同期して入力される前記ワード線を非活性化する非活性命令を検出して、前記ワード線を非活性化させる非活性開始信号を出力する非活性制御手段とを備え、

前記非活性制御手段は、

前記テストモード信号に応答して、前記非活性開始信号を前記非活性命令の入力タイミングより遅延して対応する前記バンクに出力する、同期型半導体記憶装置。

【請求項 8】 前記非活性制御手段は、

前記非活性命令に対応する前記非活性開始信号を生成してラッチするラッチ手段と、

前記テストモード信号に応答して、外部から入力される外部信号のレベル変化のタイミングに基づき、イネーブル信号を出力する制御手段と、

前記イネーブル信号に応答して、前記ラッチ手段の出力に基づき、前記バンクに対応する前記非活性開始信号を出力する出力手段とを含む、請求項 7 記載の同期型半導体記憶装置。

【請求項 9】 前記非活性制御手段は、

前記非活性命令に対応する前記非活性開始信号を生成して出力する第 1 の出力手段と、

前記テストモード信号に応答して、前記第 1 の出力手段の出力する前記非活性開始信号を遅延して出力する第 2 の出力手段と、

前記テストモード信号に応答して、前記第 1 の出力手段の出力または第 2 の出力手段の出力のいずれか一方を前記非活性開始信号として出力する制御手段とを含む、請求項 7 記載の同期型半導体記憶装置。

【請求項 10】 前記非活性制御手段は、

前記テストモード信号に応答して、外部から入力される外部信号を前記非活性命令に対応する前記非活性開始信号として出力する出力手段を含む、請求項 7 記載の同期型半導体記憶装置。

【請求項 11】 前記外部信号とは、ライトイネーブル信号である、請求項 8 記載の同期型半導体記憶装置。

【請求項 12】 前記第 2 の出力手段は、

## 3

前記テストモード信号に応答して、前記非活性命令の取込みタイミングを決定した前記内部クロック信号の立下がりタイミングで前記第 1 の出力手段の出力をラッチして出力するラッチ手段と、

前記ラッチ手段の出力を遅延する遅延手段とを含む、請求項 9 記載の同期型半導体記憶装置。

【請求項 1 3】 行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、

外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、

外部から入力されるテストモード指定信号に응答して、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、

前記内部クロック信号に同期して入力される前記ワード線を活性化する活性命令を検出して、前記ワード線を活性化させる活性開始信号を出力する活性制御手段と、

前記内部クロック信号に同期して入力される前記ワード線を非活性化する非活性命令を検出して、前記ワード線を非活性化させる非活性開始信号を出力する非活性制御手段とを備え、

前記活性制御手段は、

前記テストモード信号に응答して、前記活性開始信号を前記活性命令の入力タイミングより遅延して対応する前記バンクに出力し、

前記非活性制御手段は、

前記テストモード信号に응答して、前記非活性開始信号を前記非活性命令の入力タイミングより遅延して対応する前記バンクに出力する、同期型半導体記憶装置。

【請求項 1 4】 前記活性制御手段は、

前記活性命令に対応する前記活性開始信号を生成してラッチする第 1 のラッチ手段と、

前記テストモード信号に응答して、外部から入力される第 1 の外部信号のレベル変化のタイミングに基づき、第 1 のイネーブル信号を出力する第 1 の制御手段と、

前記第 1 のイネーブル信号に응答して、前記第 1 のラッチ手段の出力に基づき、前記バンクに対応する前記活性開始信号を出力する第 1 の出力手段とを含む、前記非活性制御手段は、

前記非活性命令に対応する前記非活性開始信号を生成してラッチする第 2 のラッチ手段と、

前記テストモード信号に응答して、外部から入力される第 2 の外部信号のレベル変化のタイミングに基づき、第 2 のイネーブル信号を出力する第 2 の制御手段と、

前記第 2 のイネーブル信号に응答して、前記第 2 のラッチ手段の出力に基づき、前記バンクに対応する前記非活性開始信号を出力する第 2 の出力手段とを含む、請求項 1 3 記載の同期型半導体記憶装置。

## 4

【請求項 1 5】 前記活性制御手段は、

前記活性命令に対応する前記活性開始信号を生成して出力する第 1 の出力手段と、

前記テストモード信号に응答して、前記第 1 の出力手段の出力する前記活性開始信号を遅延して出力する第 2 の出力手段と、

前記テストモード信号に응答して、前記第 1 の出力手段の出力または第 2 の出力手段の出力のいずれか一方を前記活性開始信号として出力する第 1 の制御手段とを含み、

前記非活性制御手段は、

前記非活性命令に対応する前記非活性開始信号を生成して出力する第 3 の出力手段と、

前記テストモード信号に응答して、前記第 3 の出力手段の出力する前記非活性開始信号を遅延して出力する第 4 の出力手段と、

前記テストモード信号に응答して、前記第 3 の出力手段の出力または第 4 の出力手段の出力のいずれか一方を前記非活性開始信号として出力する第 2 の制御手段とを含む、請求項 1 3 記載の同期型半導体記憶装置。

【請求項 1 6】 前記活性制御手段は、

前記テストモード信号に응答して、外部から入力される第 1 の外部信号を前記活性命令に対応する前記活性開始信号として出力する第 1 の出力手段を含み、

前記非活性制御手段は、

前記テストモード信号に응答して、外部から入力される第 2 の外部信号を前記非活性命令に対応する前記非活性開始信号として出力する第 2 の出力手段を含む、請求項 1 3 記載の同期型半導体記憶装置。

【請求項 1 7】 前記第 1 の外部信号とは、ロウアドレスストロブ信号であり、前記第 2 の外部信号とは、ライトイネーブル信号である、請求項 1 4 記載の同期型半導体記憶装置。

【請求項 1 8】 前記第 2 の出力手段は、

前記テストモード信号に응答して、前記活性命令の取込みタイミングを決定した前記内部クロック信号の立下がりタイミングで前記第 1 の出力手段の出力をラッチして出力する第 1 のラッチ手段と、

前記第 1 のラッチ手段の出力を遅延する第 1 の遅延手段とを含み、

前記第 4 の出力手段は、

前記テストモード信号に응答して、前記非活性命令の取込みタイミングを決定した前記内部クロック信号の立下がりタイミングで前記第 3 の出力手段の出力をラッチして出力する第 2 のラッチ手段と、

前記第 2 のラッチ手段の出力を遅延する第 2 の遅延手段とを含む、請求項 1 5 記載の同期型半導体記憶装置。

【請求項 1 9】 行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数の

のバンクと、

外部クロック信号に同期する第1のクロック信号を発生する第1のクロック発生手段と、

外部から入力される外部信号と前記外部クロック信号とに基づき、第2のクロック信号を生成する第2のクロック発生手段と、

外部から入力されたテストモード指定信号に応答して、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、

前記テストモード信号に応答して、前記第1または第2のクロック信号を内部クロック信号として出力するスイッチ手段と、

前記内部クロック信号に同期して、前記メモリセルを選択し、前記選択されたメモに対して、書込み、読出動作を行なうデータ入出力手段とを備える、同期型半導体記憶装置。

【請求項20】 前記第2のクロック発生手段は、前記外部クロック信号および前記外部信号のそれぞれのレベル変化のタイミングでワンショットパルスを出力するパルス発生手段を含む、請求項19記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に外部クロック信号に응答して動作を行なう同期型半導体記憶装置に関するものである。

【0002】

【従来の技術】高速アクセスを目的として開発された同期型半導体記憶装置は、データの読出もしくは書込に必要な動作（命令）は、すべて外部から安定した周期で与えられるクロック（外部クロック信号）に同期して行なわれる。

【0003】ここで、従来の同期型半導体記憶装置について、図31を用いて説明する。図31は、従来の同期型半導体記憶装置9000の主要部の構成を示す概略ブロック図である。図31に示す従来の同期型半導体記憶装置9000は、制御信号バッファ1、内部クロック発生回路2、アドレスバッファ3、モードセット設定回路4、プリチャージ信号発生回路12、アクト信号発生回路13および複数のバンク（図31においてはB0、B1、B2およびB3）を含む。

【0004】バンクB0、B1、B2およびB3は、それぞれロウ系制御回路6、ワードドライバ7、メモリセルアレイ9、センスアンプおよびIOゲートを含む。図31においては、センスアンプとIOゲートとを1つのブロック8で示している。それぞれのバンクは、独立にワード線の活性化、データの読出、データの書込およびワード線の非活性化を行なうことができる。

【0005】メモリセルアレイ9は、行列状に配置され

た複数のメモリセルMを含み、メモリセルMのそれぞれは、行方向に対応して設けられたワード線WLと列方向に対応して設けられたビット線対BL、/BLとの交点に接続されている。内部クロック発生回路2は、外部クロック信号CLKを取込み、内部動作を制御する内部クロック信号CLK0を出力する。

【0006】制御信号バッファ1は、入力初段16およびバッファ17を備える。入力初段16は、外部制御信号（外部ロウアドレスストロブ信号/RAS、外部コラムアドレスストロブ信号/CAS、外部ライトイネーブル信号/WE、外部チップ選択信号/CS等）を受ける。バッファ17は、入力手段16の出力を取込み、内部クロック信号CLK0に同期して対応する内部制御信号（RAS、CAS、WE、CS等）を出力する。

【0007】アドレスバッファ3は、外部から受けるアドレス信号Aを取込み、内部アドレス信号を出力する。アドレス信号Aは、行アドレス信号Xと列アドレス信号Yとが時分割的に多重化されて与えられる。さらに、アドレスバッファ3は図示しないバンクアドレスデコーダを備え、アドレス信号Aをデコードして、対応するバンクを指定するバンクデコード信号BK（又はこれを反転したZBK）を出力する。

【0008】アクト信号発生回路13は、外部から入力されるアクトコマンドに응答して、指定されたバンクのロウ系制御回路6を制御するアクト開始信号ZACT（図31においては、ZACT（0）、ZACT（1）、ZACT（2）、ZACT（3））を出力する。

【0009】プリチャージ信号発生回路12は、外部から入力されるプリチャージコマンドに응答して、指定されたバンクのロウ系制御回路6を制御するプリチャージ開始信号ZPRE（図31においては、ZPRE（0）、ZPRE（1）、ZPRE（2）、ZPRE（3））を出力する。

【0010】ロウ系制御回路6のそれぞれは、対応するアクト開始信号ZACTを受けると、対応するビット線をプリチャージするためのプリチャージ信号を非活性化状態で、またワードドライバ7を活性化するワードドライバ活性化信号を活性状態で、さらにセンスアンプを活性化するセンスアンプ活性化信号を活性状態でそれぞれ出力する。

【0011】この結果、メモリセルアレイ9を構成するビット線対BL、/BLはプリチャージ状態から開放され、ワード線WLがHレベルに立上がる。そしてメモリセルMに蓄積されたデータが、センスアンプで増幅される。

【0012】また、ロウ系制御回路6のそれぞれは、対応するプリチャージ開始信号ZPREを受けると、ワードドライバ活性化信号を非活性状態で、センスアンプ活性化信号を非活性状態で、さらにビット線プリチャージ

信号を活性化状態でそれぞれ出力する。この結果、メモリセルアレイ9に含まれるワード線WLの電位がLレベルに立下がり、センスアンプが非活性状態となり、ビット線対BLおよび／BLはプリチャージ電位Vb1にプリチャージされる。

【0013】外部から読出コマンドが入力されると、センスアンプでラッチされているデータがIOゲートに伝達され、さらに増幅されてデータ入出力端子より出力される。

【0014】さらに外部から書込コマンドが入力されると、データ入出力端子から入力されたデータが、IOゲートおよびセンスアンプを介して、該当するメモリセルMに書込まれる。

【0015】なお、モードセット設定回路4は、外部信号に応答して特定のモードが設定されたか否かを検出する回路であり、制御信号バッファ1およびアドレスバッファ3から受ける信号（たとえば、モードレジスタセット命令+Hレベルのアドレス信号ADD7）に応答して、テストモード信号を出力する。また、外部テストモードPADを直接コントロールして、テストモード信号をセットする方法もある。

【0016】次に、従来の同期型半導体記憶装置9000の動作の一例について、タイミングチャートである図32を用いて説明する。

【0017】図32は、図31に示す従来の同期型半導体記憶装置9000の動作の一例を説明するためのタイミングチャートである。

【0018】図32において（A）は、外部クロック信号CLKを、（B）は、外部制御信号／CSを、（C）は、外部制御信号／RASを、（D）は、外部制御信号／CASを、（E）は、外部制御信号／WEを、そして（F）は、アドレス信号Aをそれぞれ示している。ここで、チップセレクト信号／CSは、複数あるチップのうちで動作させるチップを選択するための制御信号であり、以下のコマンド入力時においては、Lレベルの活性状態になる。

【0019】まず、活性命令によりワード線を活性化させる動作について説明する。この場合、アクトコマンドACTを入力（外部制御信号／CS、／RASをLレベルに設定し、外部制御信号／CASおよび／WEをHレベルに設定）する。

【0020】時刻t1における外部クロック信号CLKの立上がり時点で、これらの外部制御信号と行アドレス信号Xとが取込まれる。そして、アクト信号発生回路13から出力されるアクト開始信号ZACTに基づき、対応するバンクのワード線が活性化され、メモリセルMのデータがセンスアンプに読出される。

【0021】次に、読出命令における動作について説明する。この場合、読出コマンドREADを入力（外部制御信号／CS、／CASをLレベルに設定し、外部制御

信号／RASおよび／WEをHレベルに設定）する。

【0022】次の外部クロック信号CLKの立上がり時点（時刻t2）で、これらの外部制御信号と列アドレス信号Yとが取込まれる。この結果、センスアンプに読出されたデータがI/O線を介して図示しない出力バッファに取込まれ、外部へ出力される。

【0023】次に、プリチャージ命令によりワード線を非活性化させる動作について説明する。この場合、プリチャージコマンドPREを入力（外部制御信号／CS、／RAS、／WEをLレベルに設定し、外部制御信号／CASをHレベルに設定）する。

【0024】時刻t3における外部クロック信号CLKの立上がり時点で、これらの外部制御信号とバンクアドレス信号BKとが取込まれる。そして、プリチャージ信号発生回路12から出力されるプリチャージ開始信号ZPREに基づき、対応するワード線が非活性化される。

【0025】さらに次の外部クロック信号CLKの立上がり時点（時刻t4）で、アクトコマンドACTを入力すると、対応するワード線が活性化され、メモリセルMのデータがセンスアンプに読出される。

【0026】ところで、このセンスアンプの活性化時刻t1と読出時刻t2との間隔は、メモリセルの性能を知るパラメータとなる（以下、この間隔をtRCD期間と称す）。たとえば、非常に容量の小さなメモリセルでは、センスアンプでのセンス時間が通常のメモリセルMの場合に比べて長く必要となるため、tRCD期間を変化させることでメモリセルの不良を早期に発見することが可能となる。

【0027】また、ワード線が非活性化する時刻t3と再び活性化される時刻t4との間隔は、ビット線のイコライズタイミングの実力を知る上で重要なタイミングとなる（以下、この間隔をtRP期間と称す）。たとえば、ワード線を立下げた後十分にビット線がイコライズされないうちに次のワード線の活性化が開始されると、ビット線に残留する前データにより新たにワード線を活性化することで読出されるメモリ情報が破壊されてしまうおそれがあるからである。通常tRCD期間およびtRP期間は、20ns確保することが必要とされている。

【0028】

【発明が解決しようとする課題】ところで、このように構成される同期型半導体記憶装置の性能を試験する場合は、テストから外部クロック信号とコマンドとを供給する。たとえば、最も厳しい条件で限界性能を試験したい場合は、図32に示すように連続した外部クロック信号（テストの供給するクロック信号）のエッジでコマンドを入力する。これにより、最短のtRCDおよびtRP期間を実現され、この状態での動作特性を測定することにより限界性能の試験が可能となる。

【0029】しかしながら、従来の同期型半導体記憶装

置 9000 へのコマンドの入力タイミングは、常にテストから供給されるクロック信号の周波数で決定される。したがって、 $t_{RCD}$  および  $t_{RP}$  期間は、低速なクロック信号しか供給できないテストを用いた場合、テストの限界性能 (200 ns 程度) に依存 (上限 200 ns 程度) することになり、特に高速に動作するデバイスの限界性能を測定することが困難になるという問題があった。

【0030】そこで、本発明の目的は、かかる問題を解決するためになされたものであり、その目的は、低速なクロック信号しか供給できないテストを使用した場合にあって、外部から任意にワード線の活性化および非活性化を制御して性能試験を行なうことができる同期型半導体記憶装置を提供することである。

【0031】また本発明の他の目的は、低速なクロック信号しか供給できないテストを使用した場合にあって、高速に性能試験を行なうことができる同期型半導体記憶装置を提供することである。

【0032】

【課題を解決するための手段】請求項 1 に係る同期型半導体記憶装置においては、行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、外部から入力されるテストモード指定信号にตอบสนองして、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、内部クロック信号に同期して入力されるワード線を活性化する活性命令を検出して、ワード線を活性化させる活性開始信号を出力する活性制御手段とを備え、活性制御手段は、テストモード信号にตอบสนองして、活性開始信号を前記活性命令の入力タイミングより遅延して対応するバンクに出力する。

【0033】請求項 2 に係る同期型半導体記憶装置は、請求項 1 に係る同期型半導体記憶装置であって、活性制御手段は、活性命令に対応する前記活性開始信号を生成してラッチするラッチ手段と、テストモード信号にตอบสนองして、外部から入力される外部信号のレベル変化のタイミングに基づき、イネーブル信号を出力する制御手段と、イネーブル信号にตอบสนองして、ラッチ手段の出力に基づき、バンクに対応する活性開始信号を出力する出力手段とを備える。

【0034】請求項 3 に係る同期型半導体記憶装置は、請求項 1 に係る同期型半導体記憶装置であって、活性制御手段は、活性命令に対応する活性開始信号を生成して出力する第 1 の出力手段と、テストモード信号にตอบสนองして、第 1 の出力手段の出力する活性開始信号を遅延して出力する第 2 の出力手段と、テストモード信号にตอบสนองして、第 1 の出力手段の出力または第 2 の出力手段の出力

のいずれか一方を活性開始信号として出力する制御手段とを含む。

【0035】請求項 4 に係る同期型半導体記憶装置は、請求項 1 に係る同期型半導体記憶装置であって、活性制御手段は、テストモード信号にตอบสนองして、外部から入力される外部信号を活性命令に対応する活性開始信号として出力する出力手段を含む。

【0036】請求項 5 に係る同期型半導体記憶装置は、請求項 2 に係る同期型半導体記憶装置であって、第 1 の外部信号とは、ロウアドレスストロープ信号である。

【0037】請求項 6 に係る同期型半導体記憶装置は、請求項 3 に係る同期型半導体記憶装置であって、第 2 の出力手段は、テストモード信号にตอบสนองして、活性命令の取込みタイミングを決定した内部クロック信号の立下がりタイミングで第 1 の出力手段の出力をラッチして出力するラッチ手段と、ラッチ手段の出力を遅延する遅延手段とを含む。

【0038】請求項 7 に係る同期型半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと前記メモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、外部から入力されるテストモード指定信号にตอบสนองして、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、内部クロック信号に同期して入力される前記ワード線を非活性化する非活性命令を検出して、前記ワード線を非活性化させる非活性開始信号を出力する非活性制御手段とを備え、非活性制御手段は、テストモード信号にตอบสนองして、非活性開始信号を非活性命令の入力タイミングより遅延して対応する前記バンクに出力する。

【0039】請求項 8 に係る同期型半導体記憶装置は、請求項 7 に係る同期型半導体記憶装置であって、非活性制御手段は、非活性命令に対応する非活性開始信号を生成してラッチするラッチ手段と、テストモード信号にตอบสนองして、外部から入力される外部信号のレベル変化のタイミングに基づき、イネーブル信号を出力する制御手段と、イネーブル信号にตอบสนองして、ラッチ手段の出力に基づき、バンクに対応する非活性開始信号を出力する出力手段とを含む。

【0040】請求項 9 に係る同期型半導体記憶装置は、請求項 7 に係る同期型半導体記憶装置であって、非活性制御手段は、非活性命令に対応する非活性開始信号を生成して出力する第 1 の出力手段と、テストモード信号にตอบสนองして、第 1 の出力手段の出力する非活性開始信号を遅延して出力する第 2 の出力手段と、前記テストモード信号にตอบสนองして、第 1 の出力手段の出力または第 2 の出力手段の出力のいずれか一方を非活性開始信号として出力する制御手段とを含む。



【0041】請求項10に係る同期型半導体記憶装置は、請求項7に係る同期型半導体記憶装置であって、非活性制御手段は、テストモード信号にตอบสนองして、外部から入力される外部信号を非活性命令に対応する非活性開始信号として出力する出力手段を含む。

【0042】請求項11に係る同期型半導体記憶装置は、請求項8に係る同期型半導体記憶装置であって、外部信号とは、ライトイネーブル信号である。

【0043】請求項12に係る同期型半導体記憶装置は、請求項9に係る同期型半導体記憶装置であって、第2の出力手段は、テストモード信号にตอบสนองして、非活性命令の取込みタイミングを決定した前記内部クロック信号の立下がりタイミングで前記第1の出力手段の出力をラッチして出力するラッチ手段と、ラッチ手段の出力を遅延する遅延手段とを含む。

【0044】請求項13に係る同期型半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイとメモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、外部クロック信号に同期した内部クロック信号を出力する内部クロック発生手段と、外部から入力されるテストモード指定信号にตอบสนองして、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、内部クロック信号に同期して入力されるワード線を活性化する活性命令を検出して、ワード線を活性化させる活性開始信号を出力する活性制御手段と、内部クロック信号に同期して入力されるワード線を非活性化する非活性命令を検出して、ワード線を非活性化させる非活性開始信号を出力する非活性制御手段とを備え、活性制御手段は、テストモード信号にตอบสนองして、活性開始信号を活性命令の入力タイミングより遅延して対応するバンクに出力し、非活性制御手段は、テストモード信号にตอบสนองして、非活性開始信号を非活性命令の入力タイミングより遅延して対応する前記バンクに出力する。

【0045】請求項14に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、活性制御手段は、活性命令に対応する活性開始信号を生成してラッチする第1のラッチ手段と、テストモード信号にตอบสนองして、外部から入力される第1の外部信号のレベル変化のタイミングに基づき、第1のイネーブル信号を出力する第1の制御手段と、第1のイネーブル信号にตอบสนองして、前記第1のラッチ手段の出力に基づき、バンクに対応する活性開始信号を出力する第1の出力手段とを含み、非活性制御手段は、非活性命令に対応する非活性開始信号を生成してラッチする第2のラッチ手段と、テストモード信号にตอบสนองして、外部から入力される第2の外部信号のレベル変化のタイミングに基づき、第2のイネーブル信号を出力する第2の制御手段と、第2のイネーブル信号にตอบสนองして、前記第2のラッチ手段の出力

に基づき、バンクに対応する非活性開始信号を出力する第2の出力手段とを含む。

【0046】請求項15に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、活性制御手段は、活性命令に対応する前記活性開始信号を生成して出力する第1の出力手段と、テストモード信号にตอบสนองして、第1の出力手段の出力する活性開始信号を遅延して出力する第2の出力手段と、テストモード信号にตอบสนองして、第1の出力手段の出力または第2の出力手段の出力のいずれか一方を活性開始信号として出力する第1の制御手段とを含み、非活性制御手段は、非活性命令に対応する非活性開始信号を生成して出力する第3の出力手段と、テストモード信号にตอบสนองして、第3の出力手段の出力する非活性開始信号を遅延して出力する第4の出力手段と、テストモード信号にตอบสนองして、第3の出力手段の出力または第4の出力手段の出力のいずれか一方を非活性開始信号として出力する第2の制御手段とを含む。

【0047】請求項16に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、活性制御手段は、テストモード信号にตอบสนองして、外部から入力される第1の外部信号を活性命令に対応する活性開始信号として出力する第1の出力手段を含み、非活性制御手段は、テストモード信号にตอบสนองして、外部から入力される第2の外部信号を非活性命令に対応する非活性開始信号として出力する第2の出力手段を含む。

【0048】請求項17に係る同期型半導体記憶装置は、請求項14に係る同期型半導体記憶装置であって、第1の外部信号とは、ロウアドレスストロープ信号であり、第2の外部信号とは、ライトイネーブル信号である。

【0049】請求項18に係る同期型半導体記憶装置は、請求項15に係る同期型半導体記憶装置であって、第2の出力手段は、テストモード信号にตอบสนองして、活性命令の取込みタイミングを決定した内部クロック信号の立下がりタイミングで前記第1の出力手段の出力をラッチして出力する第1のラッチ手段と、第1のラッチ手段の出力を遅延する第1の遅延手段とを含み、第4の出力手段は、テストモード信号にตอบสนองして、非活性命令の取込みタイミングを決定した内部クロック信号の立下がりタイミングで第3の出力手段の出力をラッチして出力する第2のラッチ手段と、第2のラッチ手段の出力を遅延する第2の遅延手段とを含む。

【0050】請求項19に係る同期型半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイとメモリセルアレイの行に対応して設けられる複数のワード線とを各々が含む複数のバンクと、外部クロック信号に同期する第1のクロック信号を発生する第1のクロック発生手段と、外部から入力される外部信号と前記外部クロック信号とに基づき、第2のクロック



信号を生成する第2のクロック発生手段と、外部から入力されるテストモード指定信号にตอบสนองして、特定のテストモードが指定されたことを検出して、検出結果としてテストモード信号を出力するテストモード検出手段と、テストモード信号にตอบสนองして、第1または第2のクロック信号を内部クロック信号として出力するスイッチ手段と、内部クロック信号に同期して、メモリセルを選択し、選択されたメモに対して、書込み、読出動作を行なうデータ入出力手段とを備える。

【0051】請求項20に係る同期型半導体記憶装置は、請求項19に係る同期型半導体記憶装置であって、第2のクロック発生手段は、外部クロック信号および外部信号のそれぞれのレベル変化のタイミングでワンショットパルスを出力するパルス発生手段を含む。

【0052】

【発明の実施の形態】〔実施の形態1〕本発明の実施の形態1における同期型半導体記憶装置について説明する。

【0053】本発明の実施の形態1における同期型半導体記憶装置は、テストモードにおいて、バンクの活性化のタイミングを任意に制御することを可能とするものである。

【0054】本発明の実施の形態1における同期型半導体記憶装置1000の全体構成について図1を用いて説明する。

【0055】図1は、本発明の実施の形態1における同期型半導体記憶装置1000の全体構成の一例を示す概略ブロック図である。従来の同期型半導体記憶装置9000と同じ構成要素には、同じ符号もしくは同じ記号を付し、その説明を省略する。

【0056】図1に示す同期型半導体記憶装置1000が、従来の同期型半導体記憶装置9000と異なる点は、アクト信号発生回路13に代わって、アクト開始信号ZACTを遅延して出力することができるアクト信号発生回路100を備えることにある。

【0057】アクト信号発生回路100は、外部から入力されるアクトコマンドACTに基づき活性命令情報をラッチする。そして、テストモードにおいては、特定の外部信号に基づき、ラッチされた活性命令情報がバンクに伝達されるタイミングを調整する。また、テストモード以外の場合（ノーマルモード）は、従来と同様にアクトコマンドACTにตอบสนองして活性命令情報をバンクに伝達する。

【0058】この結果、同期型半導体記憶装置1000は、テストモードにおいては、従来の同期型半導体記憶装置9000での活性タイミングより遅れたタイミングでバンクを活性化させることが可能となる。

【0059】なお、モードセット設定回路4は、本発明の実施の形態1においては、特定のテストモードを検出した結果として、テストモード信号ZMS1を出力す

る。

【0060】次に、本発明の実施の形態1におけるアクト信号発生回路100の具体的構成の一例について、図2を用いて説明する。

【0061】図2は、本発明の実施の形態1におけるアクト信号発生回路100の具体的構成の一例を示す回路図である。図2に示すアクト信号発生回路（以下、アクト信号発生回路100、1と称す）は、NAND回路22、アクト命令ラッチ回路24、0、24、1、24、2、24、3、アクト命令出力回路26およびアクト命令制御回路28、1を備える。

【0062】NAND回路22は、図1に示すバッファ17から出力される内部制御信号に応じて、外部からアクトコマンドACTが入力されたことを検出する。そして、検出結果として、アクト命令信号ZACTFを出力する。アクト命令ラッチ回路24、0、24、1、24、2、24、3は、バンクB0、B1、B2、B3のそれぞれに対応して設けられる（以下総称的に、アクト命令ラッチ回路24と称する）。アクト命令ラッチ回路24は、対応するバンクについての活性命令情報を保持する。

【0063】アクト命令出力回路26は、後述するアクトイネーブル信号ACTENにตอบสนองして、保持する活性命令情報に基づきアクト開始信号ZACTを出力する。アクト命令制御回路28、1は、テストモード信号ZMS1および特定の外部信号（具体的には、外部制御信号／RAS）にตอบสนองして、アクト命令出力回路26の出力動作をイネーブル状態にするアクトイネーブル信号ACTENを出力する。

【0064】次に、NAND回路22について説明する。NAND回路22は、内部制御信号CS、RAS、ZCASおよびZWEを入力に受ける。ここで、内部制御信号CSは、外部制御信号／CSに対応する逆相の内部信号であって、内部制御信号RASは、外部制御信号／RASに対応する逆相の内部信号である。内部制御信号ZCASは、外部制御信号／CASに対応する同相の内部信号であって、内部信号ZWEは、外部制御信号／WEに対応する同相の内部信号である。

【0065】アクトコマンドACT（内部制御信号CS、RAS、ZCASおよびZWEがすべてHレベル）が入力されると、NAND回路22より、Lレベルの活性状態にあるアクト命令信号ZACTFが出力される。それ（アクトコマンドACT）以外の場合は、NAND回路22よりHレベルの非活性状態にあるアクト命令信号ZACTFが出力される。

【0066】次に、アクト命令ラッチ回路24の構成について、代表例としてバンクB0に対応するアクト命令ラッチ回路24、0を用いて説明する。アクト命令ラッチ回路24、0は、論理ゲート32および33ならびにNAND回路34を備える。

【0067】論理ゲート32の第1の入力ノードは、NAND回路22よりアクト命令信号ZACTFを受ける。また、論理ゲート32の第2の入力ノードは、図1に示すアドレスバッファ3から対応するバンクデコード信号ZBK(0)を受ける。論理ゲート33の第1の入力ノードは、論理ゲート32の出力信号を受ける。また、論理ゲート33の第2の入力ノードは、NAND回路34の出力信号を受ける。NAND回路34の第1の入力ノードは、論理ゲート33の出力信号を受ける。NAND回路34の第2の入力ノードは、図1に示すプリチャージ信号発生回路12から対応するプリチャージ開始信号ZPRE(0)を受ける。

【0068】アクト命令ラッチ回路24. 1、24. 2、24. 3のそれぞれの構成は、アクト命令ラッチ回路24. 0と同じである。アクト命令ラッチ回路24のそれぞれの論理ゲート33の出力信号を、ACTF(0)、ACTF(1)、ACTF(2)、ACTF(3)(総称的にACTF)と記す。

【0069】次にアクト命令ラッチ回路24の動作について、アクト命令ラッチ回路24. 0を代表例として簡単に説明する。バンクB0を指定してアクトコマンドACTが入力された場合、アクト命令信号ZACTFはLレベルの活性状態に、バンクデコード信号ZBK(0)は、Lレベルの活性状態にそれぞれなる。これにより、バンクB0に対応する信号ACTF(0)は、Hレベルの活性状態となる。その後は、アクト命令信号ZACTFおよびバンクデコード信号ZBK(0)の電位レベルにかかわらず、信号ACTF(0)はHレベルの状態を保持する。

【0070】バンクB0以外のバンクを指定してアクトコマンドACTが入力された場合(アクト命令信号ZACTFはLレベル、バンクデコード信号ZBK(0)はHレベル)、バンクB0に対応する信号ACTF(0)は前の状態が保持される。アクトコマンドACT以外の場合は、信号ACTF(0)は、前の状態を保持する。

【0071】なお、プリチャージ開始信号ZPREは、ラッチした活性命令情報をリセットするために用いる。具体的には、たとえばバンクB0に対応するプリチャージ開始信号ZPRE(0)がLレベルの活性状態になった場合、信号ACTF(0)は、Lレベルの非活性状態(リセット状態)になる。次に、アクト命令出力回路26の構成について説明する。アクト命令出力回路26は、NAND回路42. 0、42. 1、42. 2および42. 3を備える(以下、総称的にNAND回路42と称す)。NAND回路42のそれぞれは、バンクB0、…B3のそれぞれに対応して設けられる。

【0072】NAND回路42のそれぞれの第1の入力ノードは、対応するアクト命令ラッチ回路24で保持される信号ACTFを受ける。また、NAND回路42のそれぞれの第2の入力ノードは、アクト命令制御回路2

8の出力するアクトイネーブル信号ACTENを受ける。そして、NAND回路42のそれぞれから、対応するバンクの活性化を開始させるアクト開始信号ZACTが出力される。

【0073】アクト命令出力回路26の動作について簡単に説明する。アクトイネーブル信号ACTENがLレベルの非活性状態の場合(テストモード)は、アクト開始信号ZACTは全てHレベルの非活性状態になる。アクトイネーブル信号ACTENがHレベルの活性状態の場合(ノーマルモード、テストモード)は、ラッチされた活性命令情報に応じて、HレベルまたはLレベルのアクト開始信号ZACTが出力される。

【0074】次に、アクト命令制御回路28. 1について説明する。アクト命令制御回路28. 1は、論理ゲート35および36、NOR回路37、NAND回路38ならびにインバータ回路39を備える。

【0075】論理ゲート35の第1の入力ノードは、アクト命令信号ZACTFを受ける。また、論理ゲート35の第2の入力ノードは、図1に示すテストモード設定回路4からテストモード信号ZMS1を受ける。論理ゲート36の第1の入力ノードは、論理ゲート35の出力信号を受ける。また、論理ゲート36の第2の入力ノードは、NAND回路38の出力信号を受ける。NOR回路37の第1の入力ノードは、テストモード信号ZMS1を受ける。また、NOR回路37の第2の入力ノードは、信号ZBRASを受ける。ここで、信号ZBRASは、外部制御信号/RASに対応する同相の内部信号であって、図1に示す入力初段16から出力される。

【0076】NAND回路38の第1の入力ノードは、論理ゲート36の出力信号S1を受ける。また、NAND回路38の第2の入力ノードは、NOR回路37の出力信号を受ける。論理ゲート35および36、NOR回路37ならびにNAND回路38は、ラッチ回路40を構成する。ラッチ回路40は、テストモード(テストモード信号ZMS1がLレベルの活性状態)において、信号ZBRASがLレベルであれば、信号ZACTFに基づき内部状態をセットしてHレベルの信号S1を出力し、信号ZBRASがHレベルになるとLレベルの信号S1を出力する。ノーマルモードにおいては、信号S1は、Lレベルである。

【0077】インバータ回路39の入力ノードは、論理ゲート36の出力ノードと接続される。インバータ回路39は、信号S1を反転して、アクトイネーブル信号ACTENを出力する。したがって、アクトイネーブル信号ACTENは、ノーマルモードではHレベルに固定され、テストモードでは信号ZBRASに応じて変化する。

【0078】次に、テストモードにおけるアクト信号発生回路100. 1の動作について、タイミングチャートである図3を用いて説明する。

【0079】図3は、図2に示すアクト信号発生回路100.1の動作を説明するためのタイミングチャートである。図3において、(A)は、アクト命令信号ZACTFを、(B)は、バンクデコード信号ZBK(0)を、(C)は、信号ACTF(0)を、(D)は、アクト開始信号ZACT(0)を、(E)は、信号ZBRASを、(F)は、アクトイネーブル信号ACTENをそれぞれ示している。ここで、テストモードにおいて、バンクB0に対するアクトコマンドACTが外部から入力されたものとする。

【0080】図3に示すように時刻t0においてアクトコマンドACTが入力されると、これに応じて時刻t1においてアクト命令信号ZACTFがLレベルの状態になる。バンクB0が指定(バンクデコード信号ZBK(0)がLレベルの活性状態)されたのを受けて、信号ACTF(0)が、Hレベルの活性状態になる。なお、信号ZBRASは、Lレベルの状態にある。

【0081】さらに、アクト命令信号ZACTFがLレベルの状態になった時点で、アクトイネーブル信号ACTENがLレベルの非活性状態になる。したがって、ラッチされた活性命令情報は各バンクに伝達されない。

【0082】続いて、外部からのコントロール(外部制御信号/RASをLレベルからHレベルに立上げる)により、信号ZBRASをHレベルに設定する。これを受けて、時刻t2において、アクトイネーブル信号ACTENがHレベルの活性状態となる。

【0083】この結果、アクト命令出力回路26がイネーブル状態となり、指定されたバンクB0に対して、Lレベルの活性状態にあるバンク開始信号ZACT(0)が出力される。これを受けて(実際のアクトコマンドACTの入力時点より遅れて)、バンクB0のワード線の活性化が開始される。

【0084】次の外部クロック信号の入力タイミングにおいて読出あるいは書込命令(READ/WRITE)が入力された場合(時刻t3)、時刻t2と時刻t3との間隔が、tRCD期間となる。

【0085】すなわち、同期型半導体記憶装置1000は、アクト信号発生回路100.1を備えることで、バンクへの活性命令情報の伝達を調整することができるため、実際にアクトコマンドACTが入力された時点より十分バンクの活性タイミングを遅らせることが可能となる。

【0086】ノーマルモードの場合は、アクトイネーブル信号ACTENはHレベルの活性状態にあるため、外部から入力されるアクトコマンドACTの入力タイミングに基づき、バンクのそれぞれに対して、対応するバンク開始信号ZACTが出力される。

【0087】なお、図2においては、外部制御信号/RASのレベルに応じてバンク開始信号ZACTが対応するロウ系制御回路に伝達されるのを調整しているが、こ

れに限らず、外部制御信号/CAS、CKE、DQM等であってもよい。

【0088】次に、本発明の実施の形態1におけるアクト信号発生回路100.2の他の具体的構成の一例について図4を用いて説明する。

【0089】図4は、本発明の実施の形態1におけるアクト信号発生回路100.2の他の具体的構成の一例を示す回路図であり、図2に示すアクト信号発生回路100.1と同じ構成要素には、同じ符号および同じ記号を付しその説明を省略する。

【0090】図4に示すアクト信号発生回路(以下、アクト信号発生回路100.2と称す)は、アクト命令制御信号28.1に代わって、アクト命令制御回路28.2を備える。

【0091】アクト命令制御回路28.2は、論理ゲート45および46、NOR回路47、NAND回路48ならびにインバータ回路44および49を備える。論理ゲート45および46、NOR回路47、NAND回路48ならびにインバータ回路44は、ラッチ回路50を構成する。論理ゲート45の第1の入力ノードは、アクト命令信号ZACTFを受ける。また、論理ゲート45の第2の入力ノードは、テストモード信号ZMS1を受ける。論理ゲート46の第1の入力ノードは、論理ゲート45の出力信号を受ける。また論理ゲート46の第2の入力ノードは、NAND回路48の出力信号を受ける。

【0092】インバータ回路44の入力ノードは、図1に示す入力初段16より信号ZBCASを受け、これを反転して出力する。ここで、信号ZBCASは、外部制御信号/CASに対応する同相の内部信号である。

【0093】NOR回路47の第1の入力ノードは、テストモード信号ZMS1を受ける。また、NOR回路47の第2の入力ノードは、インバータ回路44の出力信号を受ける。NAND回路48の第1の入力ノードは、論理ゲート46の出力信号を受ける。また、NAND回路48の第2の入力ノードは、NOR回路47の出力信号を受ける。インバータ回路49は、論理ゲート46の出力信号を反転して、アクトイネーブル信号ACTENを出力する。

【0094】アクト信号発生回路100.2は、テストモード(テストモード信号ZMS1がLレベルの活性状態)における外部制御信号/CASの変化により、活性命令情報をバンクに伝達するタイミングを調整する。なお、ノーマルモードでは、従来と同様、アクトコマンドACTに応答して活性タイミングが決定される。

【0095】次に、テストモードにおけるアクト信号発生回路100.2の動作について、タイミングチャートである図5を用いて説明する。

【0096】図5は、図4に示すアクト信号発生回路100.2の動作を説明するためのタイミングチャートで

ある。図5において、(A)は、外部制御信号/RASを、(B)は、外部制御信号/CASを、(C)は、アクトイネーブル信号ACTENを、(D)は、信号ZBCASをそれぞれ示している。ここで、テストモードにおいて、バンクB0に対するアクトコマンドACTが外部から入力されたものとする。

【0097】図5に示すようにアクトコマンドACTが入力された時点(時刻t0)で、外部制御信号/CASがHレベルであるため、これに応じて時刻t1にアクトイネーブル信号ACTENがLレベルの非活性状態になる。したがって、ラッチされた活性命令情報は各バンクに伝達されない。

【0098】続いて、外部からのコントロール(外部制御信号/CASをHレベルからLレベルに設定する)により、信号ZBCASをLレベルに設定する。これにより、時刻t2において、アクトイネーブル信号ACTENがHレベルの活性状態となる。

【0099】この結果、アクト命令出力回路26がイネーブル状態となり、指定されたバンクB0に対して、Lレベルの活性状態にあるバンク開始信号ZACT(0)が出力される。これを受けて(実際のアクトコマンドACTの入力時点より遅れて)、バンクB0の活性化が開始される。

【0100】次の外部クロック信号の入力タイミングにおいて読出あるいは書込命令(READ/WRITE)が入力された場合(時刻t3)、時刻t2と時刻t3との間隔がtRCD期間となる。

【0101】すなわち、同期型半導体記憶装置1000は、アクト信号発生回路100.2を備えることによって、バンクへの活性命令情報の伝達を調整することができるため、実際にアクトコマンドACTが入力された時点より十分バンクの活性タイミングを遅らせることが可能となる。

【0102】一方、ノーマルモードの場合は、アクトイネーブル信号ACTENはHレベルの活性状態にあるため、外部から入力されたアクトコマンドACTの入力タイミングに基づき、バンクのそれぞれに対して、対応するバンク開始信号ZACTが出力される。

【0103】なお、アクト命令制御回路28.2におけるインバータ回路44および論理ゲートに代わって、信号ZBCASによりワンショットのパルスを発生することでラッチ回路50をリセットするように構成してもよい。

【0104】なお、アクトイネーブル信号ACTENのレベルを、データの出力を停止させる制御信号(読出マスク信号)ある外部制御信号DQMでコントロールすることも可能である。

【0105】図6は、本発明の実施の形態1において、アクトイネーブル信号ACTENのレベルを、外部制御信号DQMでコントロールした場合の動作を説明するた

めのタイミングチャートである。図6において、(A)は、外部制御信号/RASを、(B)は、外部制御信号/CASを、(C)は、外部制御信号DQMを、(D)は、信号BDQMを、(E)は、アクトイネーブル信号ACTENをそれぞれ示している。信号BDQMは、外部制御信号DQMに対応する同相の内部信号であって、図1の入力初段16から出力される。ここで、テストモード信号ZMS1がLレベルの活性状態(テストモード)にあるものとする。

【0106】外部制御信号DQMのHレベルに立上り(信号BDQMのHレベルへの立上り)にตอบสนองして、アクトイネーブル信号ACTENがLレベルからHレベルに立上るように構成する。

【0107】この結果、図6に示すようにアクトコマンドACTが入力された時点(時刻t0)において、外部制御信号DQMがLレベル(信号BDQMのLレベル)であるため、アクトイネーブル信号ACTENはLレベルの非活性状態になる(時刻t1)。したがって、この時点ではまだラッチされた活性命令情報は、各バンクに伝達されない。

【0108】続いて、外部からのコントロール(外部制御信号DQMをHレベルに立上げる)により、信号BDQMをHレベルに設定する。これにより、時刻t2において、アクトイネーブル信号ACTENがHレベルの活性状態となる。この結果、アクトコマンドACTの入力時点より遅れて、バンクB0の活性化が開始される。

【0109】次の外部クロック信号の入力タイミングにおいて読出あるいは書込命令(READ/WRITE)が入力された場合(時刻t3)、時刻t2と時刻t3との間隔がtRCD期間となる。

【0110】なお、この場合は、内部的には外部制御信号DQMに対応する内部制御信号をLレベルに固定しておき、読出(書込)マスクがかからないようにする。

【0111】次に、本発明の実施の形態1におけるアクト信号発生回路100の他の具体的構成の一例について図7を用いて説明する。

【0112】図7は、本発明の実施の形態1におけるアクト信号発生回路100の他の具体的構成の一例を示す回路図である。図2に示すアクト信号発生回路100.1と同じ構成要素には、同じ符号および同じ記号を付しその説明を省略する。

【0113】図7に示すアクト信号発生回路(以下、アクト信号発生回路100.3と称す)は、制御ユニット52.0、52.1、52.2、52.3を備える。制御ユニット52.0、52.1、52.2、52.3は、それぞれバンクB0、…、B3に対して設けられる(以下、総称的に制御ユニット52と称す)。

【0114】制御ユニット52のそれぞれは、対応するアクト命令ラッチ回路24および対応するアクト命令出力回路26を構成するNAND回路42、ならびにアク

ト命令制御回路 228 を備える。

【0115】アクト命令制御回路 228 は、論理ゲート 245 および 246、NOR 回路 247、NAND 回路 248 ならびにインバータ回路 249 を備える。

【0116】アクト命令制御回路 228 は、図 2 に示すアクト命令制御回路 28、1 と構成を同じくするが、図 2 に示す論理ゲート 35 と異なり、論理ゲート 245 は、第 1 の入力ノードにアクト命令信号 ZACTF を、第 2 の入力ノードに対応するバンクデコード信号 ZBK を、そして第 3 の入力ノードにテストモード信号 ZMS 1 を受ける。これにより、アクト命令制御回路 228 は、それぞれ対応するバンクデコード信号にตอบสนองして、外部信号に基づきアクトイネーブル信号 ACTEN の電位レベルを制御することになる。

【0117】すなわち、アクト信号発生回路 100、3 は、バンクのそれぞれに対応して、活性命令をラッチする回路（アクト命令ラッチ回路 24）を備えるとともに、活性命令情報の伝達を制御する制御回路（アクト命令制御回路 228）を備えている。このように構成することにより、あるバンクが活性化している状態で、独立に異なるバンクの tRCD 期間をコントロールすることができる。

【0118】以上のように、本発明の実施の形態 1 における同期型半導体記憶装置は、実際にアクトコマンド ACT が入力された時点より遅れてバンクを活性化させることが可能となり、この結果、tRCD 期間は従来の tRCD 期間より短くなる。したがって、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0119】〔実施の形態 2〕本発明の実施の形態 2 における同期型半導体記憶装置 2000 について説明する。

【0120】本発明の実施の形態 2 における同期型半導体記憶装置は、テストモードにおいて、バンクの非活性化のタイミングを任意に制御することを可能とするものである。

【0121】図 8 は、本発明の実施の形態 2 における同期型半導体記憶装置 2000 の全体構成の一例を示す概略ブロック図であり、従来の同期型半導体記憶装置 9000 と同じ構成要素には、同じ記号および同じ符合を付しその説明を省略する。

【0122】図 8 に示す同期型半導体記憶装置 2000 が、従来の同期型半導体記憶装置 9000 と異なる点は、プリチャージ信号発生回路 12 に代わって、プリチャージ開始信号を遅延して出力することができるプリチャージ信号発生回路 110 を備えることにある。

【0123】プリチャージ信号発生回路 110 は、テストモードにおいては、特定の外部信号に基づき、プリチャージ命令情報がバンクに伝達されるタイミングを調整する。また、テストモード以外の場合（ノーマルモー

ド）は、従来と同様にプリチャージコマンドにตอบสนองしてプリチャージ命令情報をバンクに伝達する。

【0124】この結果、同期型半導体記憶装置 2000 では、テストモードにおいては、従来の同期型半導体記憶装置 9000 での非活性タイミングより遅れたタイミングでバンクを非活性化させることが可能となる。

【0125】なお、モードセット設定回路 4 は、本発明の実施の形態 2 においては、特定のテストモードを検出した結果として、テストモード信号 ZMS2 を出力する。

【0126】次に、本発明の実施の形態 2 におけるプリチャージ信号発生回路 110 の具体的構成の一例について、図 9 を用いて説明する。

【0127】図 9 は、本発明の実施の形態 2 のプリチャージ信号発生回路 110 の具体的構成の一例を示す回路図である。図 9 に示すプリチャージ信号発生回路（以下、プリチャージ信号発生回路 110、1 と称す）は、NAND 回路 54、インバータ回路 56、プリチャージ命令出力回路 60 およびプリチャージ命令制御回路 62 を備える。

【0128】NAND 回路 54 およびインバータ回路 56 は、図 8 に示すバッファ 17 から出力される内部制御信号に応じて、外部からプリチャージコマンドが入力されたことを検出する。そして、検出結果として、プリチャージ命令信号 PRECF を出力する。プリチャージ命令出力回路 60 は、後述するプリチャージイネーブル信号 ZPEN に応じて、それぞれのバンクに対するプリチャージ命令情報に基づき、対応するプリチャージ開始信号 ZPRE を出力する。

【0129】プリチャージ命令制御回路 62 は、テストモード信号 ZMS2 および特定の外部信号（具体的には、外部制御信号 /WE）にตอบสนองして、プリチャージ命令出力回路 60 の動作をイネーブル状態にするプリチャージイネーブル信号 ZPEN を出力する。

【0130】次に、NAND 回路 54 およびインバータ回路 56 について説明する。NAND 回路 54 は、内部制御信号 CS、RAS、ZCAS、WE を入力に受ける。ここで、内部制御信号 WE は、外部制御信号 /WE に対応する逆相の内部信号である。

【0131】プリチャージコマンド PRE が入力されると（内部制御信号 CS、RAS、ZCAS および WE がすべて H レベル）、NAND 回路 54 より L レベルの信号が出力され、これにより、インバータ回路 56 から、H レベルの活性状態にあるプリチャージ命令信号 PRECF が出力される。

【0132】それ（プリチャージコマンド PRE）以外の場合は、NAND 回路 54 より H レベルの信号が出力され、これにより、インバータ回路 56 から、L レベルの非活性状態にあるプリチャージ命令信号 PRECF が出力される。

【0133】次に、プリチャージ命令出力回路60について説明する。プリチャージ命令出力回路60は、NAND回路74.0、74.1、74.2および74.3を備える（以下、総称的にNAND回路74と称す）。NAND回路74はそれぞれ、バンクB0、…、B3に対応して設けられる。

【0134】NAND回路74のそれぞれの第1の入力ノードは、プリチャージ命令信号PREC Fを受ける。また、第2の入力ノードは、対応するバンクデコード信号BKを受ける。さらに、第3の入力ノードは、テストモード信号ZMS 2を受ける。

【0135】テストモード（テストモード信号ZMS 2がLレベルの活性状態）においては、すべてのNAND回路74の出力は、Hレベルになる。

【0136】ノーマルモード（テストモード信号ZMS 2がHレベルの非活性状態）の場合は、指定されたバンクに対応するNAND回路74から、Lレベルの信号が出力され、その他のNAND回路74からは、Hレベルの信号が出力される。

【0137】プリチャージ命令出力回路60はさらに、論理ゲート75.0、75.1、75.2および75.3ならびにインバータ回路76.0、76.1、76.2および76.3を備える（以下、総称的に論理ゲート75、インバータ回路76とそれぞれ称す）。論理ゲート75およびインバータ回路76は、それぞれバンクB0、…、B3に対応して設けられる。

【0138】論理ゲート75のそれぞれの第1の入力ノードは、対応するNAND回路74の出力信号を受ける。また、それぞれの第2の入力ノードは、後述するプリチャージ命令制御回路62の出力するプリチャージイネーブル信号ZPENを受ける。インバータ回路76のそれぞれは、対応する論理ゲート75の出力信号を受け、対応するプリチャージ開始信号ZPREを出力する。

【0139】プリチャージ命令出力回路60の動作について簡単に説明する。プリチャージイネーブル信号ZPENがHレベルの非活性状態の場合（ノーマルモード、テストモード）、インバータ回路76のそれぞれの出力は、対応するNAND回路74の出力信号に応じて変化する。テストモードにおいては、対応するNAND回路74の出力信号がHレベルであるため、対応するインバータ回路76からは、Hレベルの非活性状態のプリチャージ開始信号ZPREが出力される。

【0140】プリチャージイネーブル信号ZPENがLレベルの活性状態にある場合（テストモード）、論理ゲート75のそれぞれの出力信号は、Hレベルになり、インバータ回路76のそれぞれから出力されるプリチャージ開始信号ZPREは、すべてLレベルの活性状態となる。

【0141】次に、プリチャージ命令制御回路62につ

いて説明する。プリチャージ命令制御回路62は、論理ゲート65および66、NOR回路67、NAND回路68、インバータ回路64および69ならびにワンショットパルス発生回路72を備える。

【0142】インバータ回路64は、プリチャージ命令信号PREC Fを受ける。論理ゲート65の第1の入力ノードは、インバータ回路64の出力信号を受ける。また、論理ゲート65の第2の入力ノードは、テストモード信号ZMS 2を受ける。論理ゲート66の第1の入力ノードは、論理ゲート65の出力信号を受ける。また、論理ゲート66の第2の入力ノードは、NAND回路68の出力信号を受ける。NOR回路67の第1の入力ノードは、テストモード信号ZMS 2を受ける。また、NOR回路67の第2の入力ノードは、図8に示す入力初段16より信号ZBWEを受ける。ここで、信号ZBWEは、外部制御信号／WEに対応する同相の内部信号である。

【0143】NAND回路68の第1の入力ノードは、論理ゲート66の出力信号S2を受ける。また、NAND回路68の第2の入力ノードは、NOR回路67の出力信号を受ける。

【0144】論理ゲート65および66、NOR回路67、NAND回路68ならびにインバータ回路64は、ラッチ回路70を構成する。ラッチ回路70は、テストモードにおいて、信号ZBWEがLレベルであれば、信号PREC Fに対応してHレベルの信号S2を出力し、信号ZBWEがHレベルになると、Lレベルの信号S2を出力する。ノーマルモードにおいては、信号S2はHレベルに固定される。

【0145】ワンショットパルス発生回路72は、論理ゲート66の出力信号S2を受ける。ワンショットパルス発生回路72は、信号S2の立下がりに応答して、Hレベルのワンショットパルスを出力する。インバータ回路69は、ワンショットパルス発生回路72から出力されるパルスを反転して、Lレベルのプリチャージイネーブル信号ZPENを出力する。

【0146】次に、テストモードにおけるプリチャージ信号発生回路110.1の動作について、タイミングチャートである図10を用いて説明する。

【0147】図10は、図9に示すプリチャージ信号発生回路110.1の動作を説明するためのタイミングチャートである。図10において（A）は、プリチャージ命令信号PREC Fを、（B）は、信号S2を、（C）は、プリチャージイネーブル信号ZPENを、（D）は、信号ZBWEを、（E）はプリチャージ開始信号ZPREをそれぞれ示している。なお、テストモード信号ZMS 2がLレベルの活性状態（テストモード）にあるものとする。

【0148】図10に示すようにプリチャージコマンドPREが入力された時点（時刻t0）で、信号ZBWE



がLレベルであるため、これに応じて時刻 t 1 で信号 S 2 がHレベルに立上がる。プリチャージイネーブル信号 Z P E N がHレベルを保持するため、プリチャージ命令情報は各バンクに伝達されない。

【0 1 4 9】時刻 t 2 において、外部からのコントロール（外部制御信号／WEをHレベルに立上げる）により、信号 Z B W E をHレベルに設定する。これを受けて、信号 S 2 はLレベルの状態になる。さらに、信号 S 2 の立下がりに応じて、ワンショットパルス発生回路 7 2 からLレベルのパルスが発生する。

【0 1 5 0】この結果、時刻 t 3 において、プリチャージイネーブル信号 Z P E N がLレベルの活性状態になる。この結果、全てのプリチャージ開始信号 Z P R E がLレベルの活性化状態になる。

【0 1 5 1】これを受けて（実際のプリチャージコマンド P R E の入力時点より遅れて）、それぞれのバンクの非活性化が開始される。

【0 1 5 2】また、プリチャージイネーブル信号 Z P E N が続いてHレベルの非活性状態になることにより、プリチャージ開始信号 Z P R E がHレベルの非活性状態となる。これを受けて、全てのプリチャージ開始信号 Z P R E がHレベルの非活性状態になる。

【0 1 5 3】次の外部クロック信号 C L K の入力タイミングにおいてアクトコマンド A C T が入力された場合（時刻 t 4）、時刻 t 3 と時刻 t 4 との間隔が t R P 期間となる。

【0 1 5 4】すなわち、同期型半導体記憶装置 2 0 0 0 は、プリチャージ信号発生回路 1 1 0 . 1 を備えることで、プリチャージ命令情報のバンクへの伝達を調整することができるため、実際にプリチャージコマンド P R E が入力された時点より十分バンクの非活性タイミングを遅らせることが可能となる。

【0 1 5 5】ノーマルモードの場合は、外部から入力されるプリチャージコマンド P R E の入力タイミングに基づき、プリチャージ開始信号 Z P R E が出力される。

【0 1 5 6】なお、図 9 においては、外部制御信号／WEを用いて、プリチャージ開始信号の対応するロウ系制御回路への伝達を調整しているが、これに限らず外部制御信号／CAS、CKE、DQM等の信号を用いても同様の目的を達成することができる。

【0 1 5 7】次に、本発明の実施の形態 2 におけるプリチャージ信号発生回路 1 1 0 の他の具体的構成の一例について図 1 1 を用いて説明する。

【0 1 5 8】図 1 1 は、本発明の実施の形態 2 におけるプリチャージ信号発生回路 1 1 0 の他の具体的構成の一例を示す回路図であり、図 9 に示すプリチャージ信号発生回路 1 1 0 . 1 と同じ構成要素には、同じ符号および同じ記号を付しその説明を省略する。

【0 1 5 9】図 1 1 に示すプリチャージ信号発生回路（以下、プリチャージ信号発生回路 1 1 0 . 2 と称す）

は、NAND回路 5 4、インバータ回路 5 6 ならびに制御ユニット 7 8 . 0、7 8 . 1、7 8 . 2 および 7 8 . 3 を備える。制御ユニット 7 8 . 0、7 8 . 1、7 8 . 2 および 7 8 . 3 は、それぞれバンク B 0、…、B 3 に対応して設けられる（以下、総称的に制御ユニット 7 8 と称す）。

【0 1 6 0】制御ユニット 7 8 のそれぞれは、対応する NAND回路 7 4、対応する論理ゲート 7 5 および対応するインバータ回路 7 6、ならびにプリチャージ命令制御回路 2 6 2 を備える。

【0 1 6 1】プリチャージ命令制御回路 2 6 2 は、論理ゲート 3 4 5 および 3 4 6、NOR回路 3 4 7、NAND回路 3 4 8 ならびにワンショットパルス発生回路 3 4 9 を備える。

【0 1 6 2】プリチャージ命令制御回路 2 6 2 は、図 9 に示すプリチャージ命令制御回路 6 2 と構成を同じくするが、図 9 に示す論理ゲート 6 5 と異なり、論理ゲート 3 4 5 は、第 1 の入力ノードに対応するバンクデコード信号 B K を反転した信号（Z B K）を、第 2 の入力ノードにプリチャージ命令信号 P R E C F の反転信号を、そして第 3 の入力ノードにテストモード信号 Z M S 2 を受ける。これにより、プリチャージ命令制御回路 2 6 2 は、それぞれ対応するバンクデコード信号に応答して、外部信号に基づきプリチャージイネーブル信号 Z P R E N の電位レベルを制御することになる。

【0 1 6 3】すなわち、プリチャージ信号発生回路 1 1 0 . 2 は、バンクのそれぞれに対応して、プリチャージ命令の伝達を調整する回路を備えることにより、ある特定のバンクが活性化している状態で、独立に異なるバンクの t R P 期間をコントロールすることが可能となる。

【0 1 6 4】以上のように、本発明の実施の形態 2 における同期型半導体記憶装置においては、実際にプリチャージコマンド P R E が入力された時点より遅れてバンクを非活性化させることが可能となり、この結果、t R P 期間は従来の t R P 期間より短くなる。したがって、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0 1 6 5】〔実施の形態 3〕本発明の実施の形態 3 における同期型半導体記憶装置について説明する。

【0 1 6 6】本発明の実施の形態 3 における同期型半導体記憶装置は、テストモードにおいて、バンクの活性、非活性化のタイミングを任意に制御することを可能とするものである。

【0 1 6 7】図 1 2 は、本発明の実施の形態 3 における同期型半導体記憶装置 3 0 0 0 の全体構成の一例を示す概略ブロック図であり、従来の同期型半導体記憶装置 9 0 0 0 と同じ構成要素には、同じ記号および同じ符号を付しその説明を省略する。図 1 2 に示す同期型半導体記憶装置 3 0 0 0 が従来の同期型半導体記憶装置 9 0 0 0



と異なる点は、プリチャージ信号発生回路 12 に代わってプリチャージ信号発生回路 110 を備えること、およびアクト信号発生回路 13 に代わってアクト信号発生回路 100 を備えることにある。

【0168】同期型半導体記憶装置 3000 における、アクト信号発生回路 100 は、実施の形態 1 で説明したように、対応するバンクへの活性命令情報の伝達を調整することを可能とする。また、プリチャージ信号発生回路 110 は、実施の形態 2 で説明したように、バンクへのプリチャージ命令情報の伝達を調整することを可能とする。

【0169】次に、テストモードにおける本発明の実施の形態 3 における同期型半導体記憶装置 3000 の動作について、タイミングチャートである図 13 を用いて説明する。

【0170】図 13 は、本発明の実施の形態 3 における同期型半導体記憶装置 3000 の動作を説明するためのタイミングチャートである。図 13 において、(A) は、外部制御信号/RAS を、(B) は、外部制御信号/CAS を、(C) は、外部制御信号/WE を、(D) は、アクト開始信号 ZACT を、(E) は、プリチャージ開始信号 ZPRE をそれぞれ示している。なお、テストモード信号 ZMS1 および ZMS2 はともに L レベルの活性状態にある（テストモード）ものとする。

【0171】図 13 に示すように、時刻 t1 においてアクトコマンド ACT が入力されると、従来においては、アクト開始信号 ZACT は、時刻 t1a で L レベルの活性状態になる（点線）。これに対し、本発明の実施の形態 3 においては、外部からのコントロール（外部制御信号/RAS を時刻 t1b で L レベルから H レベルに立上げる）により、時刻 t1c において、アクト開始信号 ZACT が L レベルの活性化状態となる（実線）。

【0172】さらに、時刻 t3 において、プリチャージコマンド PRE が入力されると、従来においては、プリチャージ開始信号 ZPRE は、時刻 t4a で L レベルの活性状態になる（点線）。これに対して、本発明の実施の形態 3 においては、外部からのコントロール（外部制御信号/WE を時刻 t4b で L レベルから H レベルに立上げる）により、時刻 t4c において、プリチャージ開始信号 ZPRE が L レベルの活性状態になる（実線）。なお、これを受けて、アクト開始信号 ZACT が H レベルに立上がる。

【0173】以上のように、本発明の実施の形態 3 における同期型半導体記憶装置 3000 は、実際にアクトコマンド ACT が入力された時点より遅れてバンクを活性化させることが可能となり、また実際にプリチャージコマンド PRE が入力された時点より遅れてバンクを非活性化させることが可能となるため、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0174】〔実施の形態 4〕本発明の実施の形態 4 における同期型半導体記憶装置について説明する。

【0175】本発明の実施の形態 4 における同期型半導体記憶装置は、テストモードにおいて、バンクの活性化のタイミングを制御することを可能とするものである。

【0176】図 14 は、本発明の実施の形態 4 における同期型半導体記憶装置 4000 の全体構成の一例を示す概略ブロック図であり、従来の同期型半導体記憶装置 9000 と同じ構成要素には、同じ符号および同じ記号を付し、その説明は省略する。

【0177】図 14 に示す同期型半導体記憶装置 4000 が、従来の同期型半導体記憶装置 9000 と異なる点は、アクト信号発生回路 13 に代わって遅延段を有するアクト信号発生回路 120 を備えることにある。

【0178】アクト信号発生回路 120 は、テストモードにおいては、外部から入力されるアクトコマンド ACT に対応する活性命令情報を遅延段を通過させて出力する。テストモード以外の場合（ノーマルモード）は、従来と同様にアクトコマンド ACT に応答して活性命令情報をバンクに伝達する。

【0179】この結果、同期型半導体記憶装置 4000 は、テストモードにおいては、従来の同期型半導体記憶装置 9000 における活性タイミングより遅れたタイミングでバンクを活性化させることが可能となる。

【0180】なお、モードセット設定回路 4 は、外部信号に基づき、特定のテストモードが設定されたことを検出して、テストモード信号 ZMS1 を出力するものとする。

【0181】次に、本発明の実施の形態 4 におけるアクト信号発生回路 120 の具体的構成の一例について図 15 を用いて説明する。

【0182】図 15 は、本発明の実施の形態 4 におけるアクト信号発生回路 120 の具体的構成の一例を示す回路図である。図 15 におけるアクト信号発生回路（以下、アクト信号発生回路 120.1 と称す）は、従来のアクト信号発生回路 13 ならびに制御ユニット 85.0、85.1、85.2 および 85.3 を備える（以下、総称的に制御ユニット 85 と称す）。制御ユニット 85 のそれぞれは、バンク B0、…、B3 に対応して設けられる。以下、簡単のため、従来のアクト信号発生回路 13 の出力するアクト開始信号を、アクト開始信号 KZACT(0)、KZACT(1)、KZACT(2) および KZACT(3) と記す。

【0183】制御ユニット 85 の構成について、代表的に制御ユニット 85.0 を用いて説明する。制御ユニット 85.0 は、インバータ回路 80 および 93、NAND 回路 81、遅延段 82 ならびにスイッチ回路 83 および 84 を備える。

【0184】インバータ回路 80 は、アクト信号発生回路 13 から出力される対応するアクト開始信号 KZAC

T(0)を入力に受けこれを反転する。NAND回路81の第1の入力ノードは、インバータ回路93を介してテストモード信号ZMS1を反転した信号を受け、第2の入力ノードは、インバータ回路80の出力信号を受け

【0185】遅延段82は、NAND回路81の出力信号を遅延して出力する。スイッチ回路83は、テストモード信号ZMS1に応じて、遅延段82から出力される信号を出力する。一方、スイッチ回路84は、テストモード信号ZMS1に応じて、対応するアクト開始信号ZKACT(0)を出力する。スイッチ回路84または83のいずれか一方から出力される信号が、最終的なアクト開始信号ZACTとして対応するバンクに出力される。

【0186】具体的には、テストモード（たとえば、テストモード信号ZMS1がLレベルの活性状態）においては、スイッチ回路83により、遅延された信号がアクト開始信号ZACT(0)として出力される。一方、ノーマルモード（テストモード以外）の場合には、スイッチ回路84により、アクト開始信号KZACT(0)がそのままアクト開始信号ZACT(0)として出力される。

【0187】スイッチ回路83および84としては、たとえばトランスマッションゲートで構成することができる。

【0188】次に、テストモードにおけるアクト信号発生回路120.1の動作について、タイミングチャートである図16を用いて説明する。

【0189】図16は、図15に示すアクト信号発生回路120.1の動作を説明するためのタイミングチャートである。図16において(A)は、外部クロック信号CLKを、(B)は、アクト開始信号KZACT(0)を、(C)は、最終的なアクト開始信号ZACT(0)を示す。なお、テストモード信号ZMS1はLレベルの活性状態（テストモード）にあるものとする。

【0190】図16に示すように、時刻t0においてアクトコマンドACTが入力されると、時刻t1において、指定されたバンク（バンクB0とする）に対応するアクト開始信号KZACT(0)がHレベルからLレベルの状態に変化する。遅延段82によりアクト開始信号KZACT(0)が遅延される。これにより、時刻t2において、Lレベルの活性状態にある最終的なアクト開始信号ZACT(0)が発生する。これを受けて、実際のアクトコマンドACTの入力時点より遅れて、バンクB0の活性化が開始される。

【0191】次の外部クロック信号CLKの入力タイミングにおいて読出しもしくは書込命令(READ/WRITE)が入力された場合(時刻t3)、時刻t2から時刻t3の間隔がtRCD期間となる。

【0192】さらに、本発明の実施の形態4におけるア

クト信号発生回路120の他の具体的構成の一例について図17を用いて説明する。

【0193】図17は、本発明の実施の形態4におけるアクト信号発生回路120の他の構成の一例を示す回路図である。図17に示すアクト信号発生回路（以下、アクト信号発生回路120.2と称す）は、従来のアクト信号発生回路13ならびに制御ユニット91.0、91.1、91.2および91.3を備える。制御ユニット91.0、91.1、91.2および91.3（以下、総称的に制御ユニット91と称す）は、バンクB0、…、B3のそれぞれに対応して設けられる。

【0194】制御ユニット91の構成について、代表的に制御ユニット91.0を用いて説明する。制御ユニット91.0は、インバータ回路86、ラッチ回路87、遅延段88ならびにスイッチ回路89および90を備える。インバータ回路86は、対応するアクト開始信号KZACT(0)を入力に受け、これを反転して出力する。ラッチ回路87は、テストモード信号ZMS1および内部クロック信号CLK0に基づき、インバータ回路86の出力信号をラッチする。遅延段88は、ラッチ回路87の出力信号S3を遅延して出力する。スイッチ回路89は、テストモード信号ZMS1に基づき、遅延段88から出力される信号を出力する。スイッチ回路90は、テストモード信号ZMS1に基づき、アクト開始信号KZACT(0)を出力する。スイッチ回路89もしくはスイッチ回路90のいずれか一方から出力される信号が、最終的なアクト開始信号ZACT(0)として、対応するバンクB0に出力される。

【0195】具体的には、テストモード（たとえば、テストモード信号ZMS1がLレベル）においては、スイッチ回路89により、遅延段88から出力される信号がアクト開始信号ZACT(0)として出力される。一方、ノーマルモード（テストモード以外）の場合には、スイッチ回路90を介して、アクト開始信号KZACT(0)そのものが最終的なアクト開始信号ZACT(0)として出力される。次に、テストモードにおけるアクト信号発生回路120.2の動作についてタイミングチャートである図18を用いて説明する。

【0196】図18は、図17に示すアクト信号発生回路120.2の動作を説明するためのタイミングチャートである。図18において(A)は、外部クロック信号CLKを、(B)は、アクト開始信号KZACT(0)を、(C)は、最終的なアクト開始信号ZACT(0)を、(D)は、ラッチ回路87の出力信号S3をそれぞれ示している。なお、テストモード信号ZMS1はLレベルの活性状態（テストモード）にあるものとする。

【0197】図18に示すように、時刻t0においてアクトコマンドACTが入力されると、時刻t1において、指定されたバンク（バンクB0とする）に対応するアクト開始信号KZACT(0)が、HレベルからLレ

ベルの状態に変化する。外部クロック信号CLK（または、内部クロック信号CLK0）がHレベルからLレベルに立下がる時点（時刻t2）において、ラッチ回路87は、インバータ回路86から出力される信号をラッチして出力する。さらに、遅延段88により、ラッチした信号が遅延される。これにより、実際にアクトコマンドACTが入力された時点より遅れて（時刻t3）、Lレベルの最終的なアクト開始信号ZACT（0）が出力されることになる。

【0198】次の外部クロック信号CLK（または、内部クロック信号CLK0）の立上がりタイミングにおいて読出または書込命令（READ/WRITE）が指定された場合（時刻t4）、時刻t3と時刻t4との間隔がtRCD期間となる。

【0199】すなわち、同期型半導体記憶装置4000は、アクト信号発生回路120を備えることで、活性命令情報の伝達を調整することができるため、実際にアクトコマンドACTが入力された時点より十分バンクの活性タイミングを遅らせることが可能となる。

【0200】さらにアクト信号発生回路120、2は、内部クロック信号の立下がりタイミングをトリガとして遅延を開始するため、アクト信号発生回路120、1に比べて必要な遅延段量が少なくすることができる。

【0201】以上のように、本発明の実施の形態4における同期型半導体記憶装置においては、実際にアクトコマンドACTが入力された時点より遅れてバンクを活性化させることが可能となり、この結果、tRCD期間は従来のtRCD期間より短くなる。したがって、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0202】〔実施の形態5〕本発明の実施の形態5における同期型半導体記憶装置について説明する。

【0203】本発明の実施の形態5における同期型半導体記憶装置は、テストモードにおいて、バンクの非活性化のタイミングを制御することを可能とするものである。

【0204】図19は、本発明の実施の形態5における同期型半導体記憶装置5000の全体構成の一例を示す概略ブロック図であり、従来の同期型半導体記憶装置9000と同じ構成要素には、同じ符号および同じ記号を付し、その説明は省略する。

【0205】図19に示す同期型半導体記憶装置5000が、従来の同期型半導体記憶装置9000と異なる点は、プリチャージ信号発生回路12に代わって遅延段を有するプリチャージ信号発生回路130を備えることにある。

【0206】プリチャージ信号発生回路130は、テストモードにおいては、外部から入力されるプリチャージコマンドPREに対応するプリチャージ命令情報を遅延

段を通過させて出力する。テストモード以外の場合（ノーマルモード）は、従来と同様にプリチャージコマンドPREにตอบสนองしてプリチャージ命令情報をバンクに伝達する。

【0207】この結果、同期型半導体記憶装置5000は、テストモードにおいては、従来の同期型半導体記憶装置9000における非活性タイミングより遅れたタイミングでバンクを非活性化させることが可能となる。

【0208】なお、モードセット設定回路4は、外部信号に基づき、特定のテストモードが設定されたことを検出して、テストモード信号ZMS2を出力するものとする。

【0209】次に、本発明の実施の形態5におけるプリチャージ信号発生回路130の具体的構成の一例について図20を用いて説明する。

【0210】図20は、本発明の実施の形態5におけるプリチャージ信号発生回路130の具体的構成の一例を示す回路図である。図20におけるプリチャージ信号発生回路（以下、プリチャージ信号発生回路130、1と称す）は、従来のプリチャージ信号発生回路12ならびに制御ユニット185、0、185、1、185、2および185、3を備える（以下、総称的に制御ユニット185と称す）。制御ユニット185のそれぞれは、バンクB0、…、B3に対応して設けられる。以下、簡単のため、従来のプリチャージ信号発生回路12の出力するプリチャージ開始信号を、プリチャージ開始信号KZPRE（0）、KZPRE（1）、KZPRE（2）およびKZPRE（3）と記す。

【0211】制御ユニット185の構成について、代表的に制御ユニット185、0を用いて説明する。制御ユニット185、0は、インバータ回路180および94、NAND回路181、遅延段182ならびにスイッチ回路183および184を備える。

【0212】インバータ回路180は、プリチャージ信号発生回路12から出力される対応するアクト開始信号KZPRE（0）を入力に受けこれを反転する。NAND回路181の第1の入力ノードは、インバータ回路94を介してテストモード信号ZMS2を反転した信号受け、第2の入力ノードは、インバータ回路180の出力信号を受ける。

【0213】遅延段182は、NAND回路181の出力信号を遅延して出力する。スイッチ回路183は、遅延段182から出力される信号を受ける。スイッチ回路184は、対応するプリチャージ開始信号KZPRE（0）を受ける。テストモード（たとえば、テストモード信号ZMS2がLレベルの活性状態）においては、スイッチ回路183により、遅延された信号がプリチャージ開始信号ZPRE（0）として出力される。一方、ノーマルモード（テストモード以外）の場合には、スイッチ回路184により、プリチャージ開始信号KZPRE

(0) がそのままプリチャージ開始信号 ZPRE (0) として出力される。

【0214】スイッチ回路 183 および 184 としては、たとえばトランスマッションゲートで構成することができる。

【0215】次に、テストモードにおけるプリチャージ信号発生回路 130. 1 の動作について、タイミングチャートである図 21 を用いて説明する。

【0216】図 21 は、図 20 に示すプリチャージ信号発生回路 130. 1 の動作を説明するためのタイミングチャートである。図 21 において (A) は、外部クロック信号 CLK を、(B) は、プリチャージ開始信号 KZPRE (0) を、(C) は、最終的なプリチャージ開始信号 ZPRE (0) を示す。なお、テストモード信号 ZMS2 は L レベルの活性状態 (テストモード) にあるものとする。

【0217】図 21 に示すように、時刻 t0 においてプリチャージコマンド PRE が入力されると、時刻 t1 において、指定されたバンク (バンク B0 とする) に対応するプリチャージ開始信号 KZPRE (0) が、H レベルから L レベルの状態に変化する。遅延段 182 によりプリチャージ開始信号 KZPRE (0) が遅延される。これにより、時刻 t2 において、L レベルの活性状態にある最終的なプリチャージ開始信号 ZPRE (0) が発生する。

【0218】これを受けて、実際のプリチャージコマンド PRE の入力時点より遅れて、バンク B0 の非活性化が開始される。

【0219】次の外部クロック信号 CLK の入力タイミングにおいてアクトコマンド ACT が入力された場合 (時刻 t3)、時刻 t2 から時刻 t3 の間隔が、tRP 期間となる。

【0220】さらに、本発明の実施の形態 5 におけるプリチャージ信号発生回路 130 の他の具体的構成の一例について図 22 を用いて説明する。

【0221】図 22 は、本発明の実施の形態 5 におけるプリチャージ信号発生回路 130 の他の構成の一例を示す回路図である。図 22 に示すプリチャージ信号発生回路 (以下、プリチャージ信号発生回路 130. 2 と称す) は、従来のプリチャージ信号発生回路 12 ならびに制御ユニット 191. 0、191. 1、191. 2 および 191. 3 を備える。制御ユニット 191. 0、191. 1、191. 2 および 191. 3 (以下、総称的に制御ユニット 191 と称す) は、バンク B0、…、B3 のそれぞれに対応して設けられる。

【0222】制御ユニット 191 の構成について、代表的に制御ユニット 191. 0 を用いて説明する。制御ユニット 191. 0 は、インバータ回路 186、ラッチ回路 187、遅延段 188 ならびにスイッチ回路 189 および 190 を備える。

【0223】インバータ回路 186 は、対応するプリチャージ開始信号 KZPRE (0) を入力に受け、これを反転して出力する。ラッチ回路 187 は、テストモード信号 ZMS2 および内部クロック信号 CLK0 に基づき、インバータ回路 186 の出力信号をラッチする。

【0224】遅延段 188 は、ラッチ回路 187 の出力信号 S13 を遅延して出力する。スイッチ回路 189 は、遅延段 188 から出力される信号を受ける。スイッチ回路 190 は、プリチャージ開始信号 KZPRE (0) を受ける。テストモード (たとえば、テストモード信号 ZMS1 が L レベル) においては、スイッチ回路 189 により、遅延段 188 から出力される信号がプリチャージ開始信号 ZPRE (0) として出力される。一方、ノーマルモード (テストモード以外) の場合には、スイッチ回路 190 により、プリチャージ開始信号 KZPRE (0) そのものが、最終的なプリチャージ開始信号 ZPRE (0) として出力される。

【0225】次に、テストモードにおけるプリチャージ信号発生回路 130. 2 の動作についてタイミングチャートである図 23 を用いて説明する。

【0226】図 23 は、図 22 に示すプリチャージ信号発生回路 130. 2 の動作を説明するためのタイミングチャートである。図 23 において (A) は、外部クロック信号 CLK を、(B) は、プリチャージ開始信号 KZPRE (0) を、(C) は、最終的なプリチャージ開始信号 ZPRE (0) を、(D) は、ラッチ回路 187 の出力信号 S13 をそれぞれ示している。なお、テストモード信号 ZMS2 は L レベルの活性状態 (テストモード) にあるものとする。

【0227】図 23 に示すように、時刻 t0 においてプリチャージコマンド PRE が入力されると、時刻 t1 において、対応するバンクのプリチャージ開始信号 KZPRE (0) が L レベルに立下がる。外部クロック信号 CLK (または内部クロック信号 CLK0) が H レベルから L レベルに立下がる時点 (時刻 t2) において、ラッチ回路 187 は、インバータ回路 186 から出力される信号をラッチして出力する。さらに、遅延段 188 により、ラッチした信号が遅延される。これにより、実際にプリチャージコマンド PRE が入力された時点より遅れて (時刻 t3)、L レベルの最終的なプリチャージ開始信号 ZPRE (0) が出力されることになる。

【0228】次の外部クロック信号 CLK の立上がりタイミングにおいてプリチャージコマンド PRE が入力された場合 (時刻 t4)、時刻 t3 と時刻 t4 との間隔が tRP 期間となる。

【0229】すなわち、同期型半導体記憶装置 5000 は、プリチャージ信号発生回路 130 を備えることで、プリチャージ命令情報の伝達を調整することができるため、実際にプリチャージコマンド PRE が入力された時点より十分バンクの非活性タイミングを遅らせることが

可能となる。

【0230】さらにプリチャージ信号発生回路 130、2は、内部クロック信号の立下がりタイミングをトリガとして遅延を開始するため、プリチャージ信号発生回路 130、1に比べて必要な遅延段量が少なくすることができる。

【0231】以上のように、本発明の実施の形態5における同期型半導体記憶装置においては、実際にプリチャージコマンドPREが入力された時点より遅れてバンクを非活性化させることが可能となり、この結果、tRP期間は従来のtRP期間より短くなる。したがって、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0232】〔実施の形態6〕本発明の実施の形態6における同期型半導体記憶装置について説明する。

【0233】本発明の実施の形態6における同期型半導体記憶装置は、テストモードにおいて、バンクの活性、非活性化のタイミングを任意に制御することを可能とするものである。

【0234】図24は、本発明の実施の形態6における同期型半導体記憶装置6000の全体構成の一例を示す概略ブロック図であり、従来の同期型半導体記憶装置9000と同じ構成要素には、同じ記号および同じ符合を付しその説明を省略する。

【0235】図24に示す同期型半導体記憶装置6000が従来の同期型半導体記憶装置9000と異なる点は、プリチャージ信号発生回路12に代わってプリチャージ信号発生回路130を備えること、およびアクト信号発生回路13に代わってアクト信号発生回路120を備えることにある。

【0236】同期型半導体記憶装置6000における、アクト信号発生回路120は、実施の形態4で説明したように、対応するバンクへの活性命令情報の伝達を調整することを可能とする。また、プリチャージ信号発生回路130は、実施の形態5で説明したように、バンクへのプリチャージ命令情報の伝達を調整することを可能とする。

【0237】この結果、本発明の実施の形態6における同期型半導体記憶装置6000においては、実際にアクトコマンドACTが入力された時点より遅れてバンクを活性化させることが可能となり、また実際にプリチャージコマンドPREが入力された時点より遅れてバンクを非活性化させることが可能となるため、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いて試験することが可能となる。

【0238】〔実施の形態7〕本発明の実施の形態7に係る同期型半導体記憶装置について説明する。

【0239】本発明の実施の形態7における同期型半導体記憶装置は、テストモードにおいて、外部クロック信号

に加えて他の外部信号に基づき、高周波数の内部クロック信号を発生することを可能とするものである。

【0240】まず、本発明の実施の形態7に係る同期型半導体記憶装置7000の全体構成の一例を、図25を用いて説明する。

【0241】図25は、本発明の実施の形態7に係る同期型半導体記憶装置7000の基本構成の一例を示す概略ブロック図である。従来の同期型半導体記憶装置9000と同じ構成要素には同じ符号および同じ記号を付しその説明を省略する。

【0242】図25に示す同期型半導体記憶装置7000が、従来の同期型半導体記憶装置9000と異なる点は、内部クロック発生回路2に代わって、従来の内部クロック信号の逡倍の周波数の内部クロック信号CLKNを出力する内部クロック発生回路150を備えることにある。

【0243】モードセット設定回路4は、外部信号にตอบสนองして、特定のテストモードが設定されたか否かを検出し、テストモード信号ZMSを出力するものとする。

【0244】内部クロック発生回路150は、テストモード信号ZMSにตอบสนองして、通常の内部クロック信号（以下、簡単のためCLK1と記す）より高い周波数の内部クロック信号CLKNを生成して出力する。

【0245】次に、本発明の実施の形態7における内部クロック発生回路150の具体的構成の一例について図26を用いて説明する。

【0246】図26は、本発明の実施の形態7における内部クロック発生回路150の具体的構成の一例を示す回路図である。図26における内部クロック発生回路150は、内部クロック発生回路2、1および2、2、テストモードクロック発生回路152ならびにスイッチ回路154を含む。内部クロック発生回路2、1および2、2は、従来の内部クロック発生回路2と同様の構成であり、入力したクロック信号に対して位相同期（又は位相同期および周波数同期）したクロック信号を出力する。

【0247】テストモードクロック発生回路152は、外部クロック信号CLKと外部制御信号の1つである外部クロックイネーブル信号CKEとに基づき、テストモード信号ZMSに応じてクロック信号CLK3を出力する。内部クロック発生回路2、1は、外部クロック信号CLKを取込み、内部クロック信号CLK1を出力する。内部クロック発生回路2、2は、クロック信号CLK3を取込み、内部クロック信号CLK2を出力する。

【0248】スイッチ回路154は、テストモード信号ZMSにตอบสนองして、内部クロック信号CLK1もしくは内部クロック信号CLK2のいずれかを内部クロック信号CLKNとして出力する。同期型半導体記憶装置7000は、この内部クロック信号CLKNに基づき動作する。

【0249】テストモードクロック発生回路152の具体的構成を説明する。テストモードクロック発生回路152は、EXOR回路200、ワンショットパルス発生回路202および204、インバータ回路206ならびに論理ゲート208を備える。

【0250】EXOR回路200は、外部クロック信号CLKと外部クロックイネーブル信号CKEとの排他的論理和をとる。ワンショットパルス発生回路202は、EXOR回路200の出力する信号S4の立上がりタイミングで、Lレベルのワンショットパルスを発生する。またワンショットパルス発生回路204は、EXOR回路200の出力信号S4のLレベルへの立下がりタイミングで、Hレベルのワンショットパルスを発生する。

【0251】インバータ回路206は、ワンショットパルス発生回路204の出力を反転して出力する。論理ゲート208は、ワンショットパルス発生回路202の出力信号およびインバータ回路206の出力信号を入力に受け、クロック信号CLK3を出力する。

【0252】次に、テストモードにおける内部クロック発生回路150の動作をタイミングチャートである図27を用いて説明する。

【0253】図27は、本発明の実施の形態7における内部クロック発生回路150の動作を説明するためのタイミングチャートである。図27において(A)は、外部クロック信号CLKを、(B)は外部クロックイネーブル信号CKEを、(C)はEXOR回路200の出力信号S4を、(D)は、内部クロック信号CLKNをそれぞれ示している。なお、テストモード(たとえば、テストモード信号ZMSがLレベルの活性化状態)にあるものとする。

【0254】外部クロック信号CLKは、時刻 $t_i \times 4$ (但し、 $i$ は0以上の整数)においてLレベルからHレベルに立上がり、時刻 $t_i \times 4 + 2$ においてHレベルからLレベルに立下がる。これに対して外部クロックイネーブル信号CKEを、時刻 $t_i \times 4 + 1$ (但し、 $i$ は0以上の整数)においてLレベルからHレベルに立上げ、時刻 $t_i \times 4 + 3$ においてHレベルからLレベルに立下がるものとする。

【0255】EXOR回路200は、外部クロック信号CLKと外部クロックイネーブル信号CKEとのレベル変化のタイミング差を切出す。したがって、EXOR回路200から出力される信号は、時刻 $t_i \times 2$ においてLレベルからHレベルに立上がり、時刻 $t_i \times 2 + 1$ においてHレベルからLレベルに立下がる。

【0256】これにより、ワンショットパルス発生回路202および204から、それぞれ時刻 $t_i \times 2$ 、時刻 $t_i \times 2 + 1$ においてパルスが発生し、これを受ける内部クロック発生回路2.2から、外部クロック信号CLKの2倍の周波数の内部クロック信号CLK2が出力される。スイッチ回路154は、内部クロック信号CLK

2を、内部クロック信号CLKNとして出力する。なおこの場合、内部的には外部クロックイネーブル信号CKEを入力するピンの電圧を固定電位にする。

【0257】以上のように、同期型半導体記憶装置7000は、外部クロック信号CLKのレベル変化のタイミングに対して、外部クロックイネーブル信号CKEのレベル変化のタイミングをコントロールすることにより、従来の内部クロック信号の逡倍の周波数の内部クロック信号CLKNを生成することができ、この結果、 $t_{RC}$ 期間、 $t_{RP}$ 期間を容易に短縮することができる。

【0258】〔実施の形態8〕本発明の実施の形態8に係る同期型半導体記憶装置について説明する。

【0259】本発明の実施の形態8における同期型半導体記憶装置は、テストモードにおいて、外部信号に基づき、より直接的にバンクの活性化を調整することを可能とするものである。

【0260】本発明の実施の形態8に係る同期型半導体記憶装置8000の全体構成の一例を、図28を用いて説明する。

【0261】図28は、本発明の実施の形態8に係る同期型半導体記憶装置8000の全体構成の一例を示す概略ブロック図である。従来の同期型半導体記憶装置9000と同じ構成要素には同じ符号および同じ記号を付し、その説明を省略する。

【0262】図28に示す同期型半導体記憶装置8000が、従来の同期型半導体記憶装置9000と異なる点は、アクト信号発生回路13に代わってアクト信号発生回路160を備えることにある。

【0263】モードセット設定回路4は、外部信号にตอบสนองして、特定のテストモードが設定されたか否かを検出して、テストモード信号ZMS1を出力するものとする。

【0264】アクト信号発生回路160は、テストモードにおいては、外部から入力されるアクトコマンドACTに対応する活性命令情報を遅延して出力する。テストモード以外の場合(ノーマルモード)は、従来と同様にアクトコマンドACTにตอบสนองして活性命令情報をバンクに伝達する。

【0265】次に、本発明の実施の形態8におけるアクト信号発生回路160の具体的構成の一例について、図29を用いて説明する。

【0266】図29は、本発明の実施の形態8におけるアクト信号発生回路160の具体的構成の一例を示す回路図である。図29に示すアクト信号発生回路160は、NAND回路22、アクト命令ラッチ回路24.0、24.1、24.2、24.3、およびアクト命令出力回路210.0、210.1、210.2、210.3を備える。

【0267】NAND回路22およびアクト命令ラッチ回路24については、実施の形態1で説明したとおりで



ある。アクト命令出力回路 210. 0、210. 1、210. 2、210. 3は、それぞれバンク B0、B1、B2、B3に対応して設けられる（以下、総称的にアクト命令出力回路 210と称す）。

【0268】アクト命令出力回路 210は、テストモード信号 ZMS1および特定の外部信号（具体的には、外部制御信号 DQM）にตอบสนองして、アクト開始信号 ZACTを出力する。

【0269】次に、アクト命令出力回路 210の構成について、アクト命令出力回路 210. 0を用いて説明する。

【0270】アクト命令出力回路 210. 0は、NAND回路 161、162および163ならびにインバータ回路 164、165、166、および167を備える。

【0271】インバータ回路 166は、図 28に示す入力初段 16から信号 BDQMを受けて、これを反転して出力する。

【0272】インバータ回路 167は、インバータ回路 166の出力信号を入力に受け、これを反転して出力する。NAND回路 163の第1の入力ノードは、インバータ回路 165を介して、テストモード信号 ZMS1を反転した信号を受け、第2の入力ノードは、インバータ回路 167の出力信号を受ける。

【0273】NAND回路 161の第1の入力ノードは、対応するアクト命令ラッチ回路 24で保持される信号 ACTF(0)を受け、第2の入力ノードは、テストモード信号 ZMS1を受ける。NAND回路 162の第1の入力ノードは、NAND回路 161の出力信号を受け、第2の入力ノードは、NAND回路 163の出力信号を受ける。インバータ回路 164は、NAND回路 164の出力信号を受ける。それぞれのインバータ回路 164から、対応するアクト開始信号 ZACTが出力される。

【0274】次に、テストモードにおけるアクト信号発生回路 160の動作をタイミングチャートである図 30を用いて説明する。

【0275】図 30は、本発明の実施の形態 8におけるアクト信号発生回路 160の動作を説明するためのタイミングチャートである。図 30において (A) は、外部制御信号/RASを、(B) は、外部制御信号/CASを、(C) は外部制御信号 DQMを、(D) は、アクト開始信号 ZACT(0)をそれぞれ示している。なお、テストモード信号 ZMS1がLレベルの活性化状態（テストモード）にあるものとする。

【0276】図 30に示すようにアクトコマンド ACTが入力された時点（時刻 t0）で、外部制御信号 DQMがLレベルであるため、アクト開始信号 ZACTは出力されない。

【0277】続いて、外部からのコントロール（外部制御信号 DQMをLレベルからHレベルに設定する）によ

り、信号 BDQMをHレベルに設定する。これにより、時刻 t1において、アクト開始信号 ZACT(0)がLレベルの活性状態となる。

【0278】この結果、実際のアクトコマンド ACTの入力時点より遅れて、バンク B0の活性化が開始される。

【0279】次の外部クロック信号の入力タイミングにおいて読出あるいは書込命令（READ/WRITE）が入力された場合（時刻 t2）、時刻 t1と時刻 t2との間隔が tRC D期間となる。なお、この場合は、内部的には、外部制御信号 DQMに対する内部制御信号をLレベルに固定しておき、読出（書込）マスクがかからないようにする。

【0280】一方、ノーマルモードの場合は、外部から入力されたアクトコマンド ACTの入力タイミングに基づき、バンクのそれぞれに対して対応するバンク開始信号 ZACTが出力される。

【0281】以上のように、本発明の実施の形態 8における同期型半導体記憶装置においては、より直接的に、アクトコマンド ACTが入力された時点より遅れてバンクを活性化させることが可能となり、この結果、tRC D期間は従来の tRC D期間より短くなる。したがって、高速動作を行なうメモリに対しても、低速なクロック信号しか供給できないテストを用いてテストすることが可能となる。

【0282】なお、以上の説明においては、活性命令情報を伝達するタイミングの調整について説明したが、プリチャージ命令情報を伝達するタイミングの調整にも適用可能である。

【0283】また、外部制御信号 DQMを用いて、アクト開始信号の対応するロウ系制御回路への伝達を調整しているが、これに限らずその他の外部信号を用いても同様の目的を達成することができる。

【0284】

【発明の効果】以上のように、請求項 1に係る同期型半導体記憶装置によれば、ワード線の活性命令に入力タイミングより遅れて、活性命令情報を対応するバンクに伝達することができるため、ワード線の活性タイミングを入力タイミングによらず任意に調整することができる。これにより、高速動作を行なうチップに対して低速なクロック信号しか供給できないテストを用いた場合でも、チップの性能試験を行なうことができる。

【0285】請求項 2および 5に係る同期型半導体記憶装置は、請求項 1に係る同期型半導体記憶装置であって、活性命令情報をラッチする手段と、テストモードにおいて外部信号によりラッチした活性命令情報をバンクに出力するタイミングを制御する手段とを備える。この結果、テストモードにおいては、外部からのコントロールによりワード線の活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミン



グで動作を行なうことができる。

【0286】請求項3に係る同期型半導体記憶装置は、請求項1に係る同期型半導体記憶装置であって、活性命令情報を出力する手段と、テストモードにおいてこの出力される活性命令情報を遅延する手段とを備える。この結果、テストモードにおいては、外部からのコントロールによりワード線の活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0287】請求項4に係る同期型半導体記憶装置は、請求項1に係る同期型半導体記憶装置であって、テストモードにおいて、外部信号そのものを活性命令情報とする。この結果、テストモードにおいて、外部からのコントロールにより直接的にワード線の活性タイミングを調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0288】請求項6に係る同期型半導体記憶装置は、請求項3に係る同期型半導体記憶装置であって、内部クロック信号の立下がり時点で遅延が開始されるので、遅延段数を減らすことができる。

【0289】また請求項7に係る同期型半導体記憶装置によれば、ワード線の非活性命令に入力タイミングより遅れて、非活性命令情報を対応するバンクに伝達することができるため、ワード線の非活性タイミングを入力タイミングによらず任意に調整することができる。これにより、高速動作を行なうチップに対して低速なクロック信号しか供給できないテストを用いた場合でも、チップの性能試験を行なうことができる。

【0290】請求項8および11に係る同期型半導体記憶装置は、請求項7に係る同期型半導体記憶装置であって、非活性命令情報をラッチする手段と、テストモードにおいて外部信号によりラッチした非活性命令情報をバンクに出力するタイミングを制御する手段とを備える。この結果、テストモードにおいては、外部からのコントロールによりワード線の非活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0291】請求項9に係る同期型半導体記憶装置は、請求項7に係る同期型半導体記憶装置であって、非活性命令情報を出力する手段と、テストモードにおいてこの出力される非活性命令情報を遅延する手段とを備える。この結果、テストモードにおいては、外部からのコントロールによりワード線の非活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0292】請求項10に係る同期型半導体記憶装置は、請求項7に係る同期型半導体記憶装置であって、テストモードにおいて、外部信号そのものを非活性命令情報とする。この結果、テストモードにおいて、外部からのコントロールにより直接的にワード線の非活性タイミ

ングを調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0293】請求項12に係る同期型半導体記憶装置は、請求項9に係る同期型半導体記憶装置であって、内部クロック信号の立下がり時点で遅延が開始されるので、遅延段数を減らすことができる。

【0294】さらに請求項13に係る同期型半導体記憶装置によれば、ワード線の活性命令、非活性命令の入力タイミングより遅れて、活性命令情報、非活性命令情報を対応するバンクに伝達することができるため、ワード線の活性、非活性タイミングを入力タイミングによらず任意に調整することができる。これにより、高速動作を行なうチップに対して低速なクロック信号しか供給できないテストを用いた場合でも、チップの性能試験を行なうことができる。

【0295】請求項14および17に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、活性命令情報、非活性命令情報をラッチし、テストモードにおいて外部信号にตอบสนองして活性命令情報、非活性命令情報を出力するタイミングを制御することができる。

【0296】この結果、テストモードにおいては、外部からのコントロールによりワード線の活性、非活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0297】請求項15に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、テストモードにおいて活性命令情報、非活性命令情報を遅延して出力する手段とを備える。

【0298】この結果、テストモードにおいては、外部からのコントロールによりワード線の活性、非活性タイミングを任意に調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0299】請求項16に係る同期型半導体記憶装置は、請求項13に係る同期型半導体記憶装置であって、テストモードにおいて、外部信号そのものを活性命令情報、非活性命令情報とする。この結果、テストモードにおいて、外部からのコントロールにより直接的にワード線の活性、非活性タイミングを調整することができ、ノーマルモードにおいては、通常のタイミングで動作を行なうことができる。

【0300】請求項18に係る同期型半導体記憶装置は、請求項15に係る同期型半導体記憶装置であって、内部クロック信号の立下がり時点で遅延が開始されるので、遅延段数を減らすことができる。

【0301】また請求項19に係る同期型半導体記憶装置は、テストモードにおいて、外部クロック信号および外部信号に基づき、内部クロック信号を生成する。この

ため、テストモードにおいては、通常の内部クロック信号よりも高速なクロック信号で内部動作を行うことができる。これにより、高速動作を行なうチップに対して低速なクロック信号しか供給できないテストを用いた場合でも、チップの性能試験を行なうことができる。

【0302】請求項20に係る同期型半導体記憶装置は、請求項19に係る同期型半導体記憶装置であって、外部から入力する信号のレベル変化のタイミングでパルスが発生することができるため、通常の内部クロック信号に対して逡倍のクロック信号が発生することできる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における同期型半導体記憶装置1000の全体構成の一例を示す概略ブロック図である。

【図2】 本発明の実施の形態1におけるアクト信号発生回路100の具体的構成の一例を示す回路図である。

【図3】 図2に示すアクト信号発生回路100、1の動作を説明するためのタイミングチャートである。

【図4】 本発明の実施の形態1におけるアクト信号発生回路100の他の具体的構成の一例を示す回路図である。

【図5】 図4に示すアクト信号発生回路100、2の動作を説明するためのタイミングチャートである。

【図6】 本発明の実施の形態1において、アクトイネーブル信号ACTENのレベルを、外部制御信号DQMでコントロールした場合の動作を説明するためのタイミングチャートである。

【図7】 本発明の実施の形態1におけるアクト信号発生回路100の他の具体的構成の一例を示す回路図である。

【図8】 本発明の実施の形態2における同期型半導体記憶装置2000の全体構成の一例を示す概略ブロック図である。

【図9】 本発明の実施の形態2のプリチャージ信号発生回路110の具体的構成の一例を示す回路図である。

【図10】 図9に示すプリチャージ信号発生回路110、1の動作を説明するためのタイミングチャートである。

【図11】 本発明の実施の形態2におけるプリチャージ信号発生回路110の他の具体的構成の一例を示す回路図である。

【図12】 本発明の実施の形態3における同期型半導体記憶装置3000の全体構成の一例を示す概略ブロック図である。

【図13】 本発明の実施の形態3における同期型半導体記憶装置3000の動作を説明するためのタイミングチャートである。

【図14】 本発明の実施の形態4における同期型半導体記憶装置4000の全体構成の一例を示す概略ブロック図である。

【図15】 本発明の実施の形態4におけるアクト信号発生回路120の具体的構成の一例を示す回路図である。

【図16】 図15に示すアクト信号発生回路120、1の動作を説明するためのタイミングチャートである。

【図17】 本発明の実施の形態4におけるアクト信号発生回路120の他の構成の一例を示す回路図である。

【図18】 図17に示すアクト信号発生回路120、2の動作を説明するためのタイミングチャートである。

10 【図19】 本発明の実施の形態5における同期型半導体記憶装置5000の全体構成の一例を示す概略ブロック図である。

【図20】 本発明の実施の形態5におけるプリチャージ信号発生回路130の具体的構成の一例を示す回路図である。

【図21】 図20に示すプリチャージ信号発生回路130、1の動作を説明するためのタイミングチャートである。

20 【図22】 本発明の実施の形態5におけるプリチャージ信号発生回路130の他の構成の一例を示す回路図である。

【図23】 図22に示すプリチャージ信号発生回路130、2の動作を説明するためのタイミングチャートである。

【図24】 本発明の実施の形態6における同期型半導体記憶装置6000の全体構成の一例を示す概略ブロック図である。

30 【図25】 本発明の実施の形態7における同期型半導体記憶装置7000の全体構成の一例を示す概略ブロック図である。

【図26】 本発明の実施の形態7における内部クロック発生回路150の具体的構成の一例を示す回路図である。

【図27】 本発明の実施の形態7における内部クロック発生回路150の動作を説明するためのタイミングチャートである。

【図28】 本発明の実施の形態8に係る同期型半導体記憶装置8000の全体構成の一例を示す概略ブロック図である。

40 【図29】 本発明の実施の形態8におけるアクト信号発生回路160の具体的構成の一例を示す回路図である。

【図30】 本発明の実施の形態8におけるアクト信号発生回路160の動作を説明するためのタイミングチャートである。

【図31】 従来の同期型半導体記憶装置9000の主要部の構成を示す概略ブロック図である。

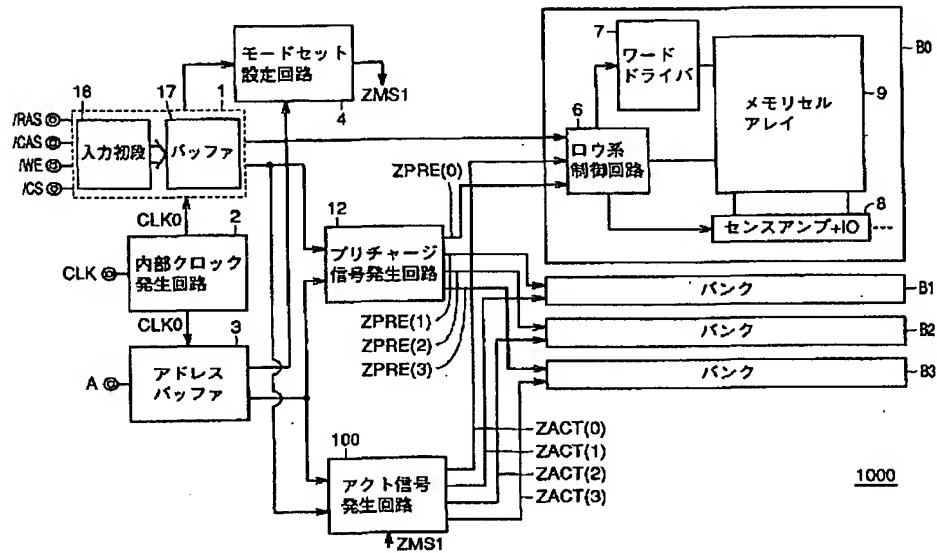
50 【図32】 図31に示す従来の同期型半導体記憶装置9000の動作の一例を説明するためのタイミングチャートである。

## 【符号の説明】

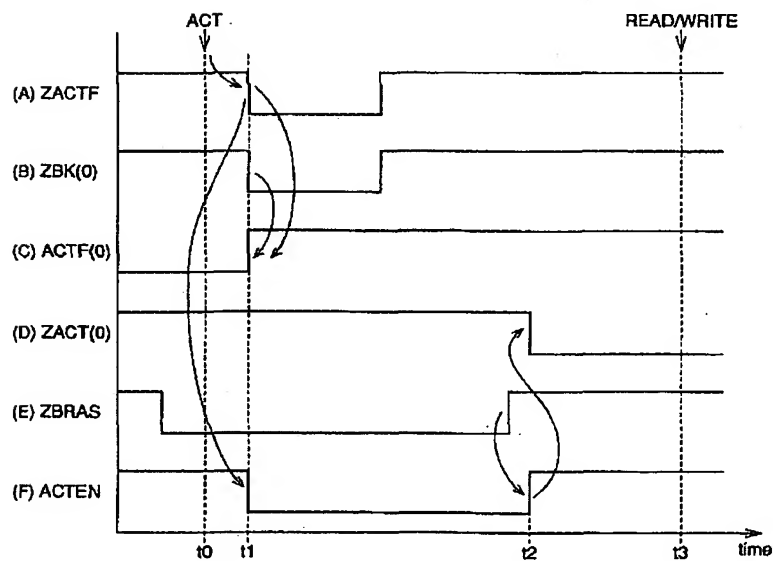
1 制御信号バッファ、2、150 内部クロック発生回路、3 アドレスバッファ、4 モードセット設定回路、6 ロウ系制御回路、7 ワードドライバ、8 センスアンプ、9 メモリセルアレイ、16 入力初段、

17 バッファ、12、110、130 プリチャージ信号発生回路、13、100、120、160 アクト信号発生回路、1000～9000 同期型半導体記憶装置。

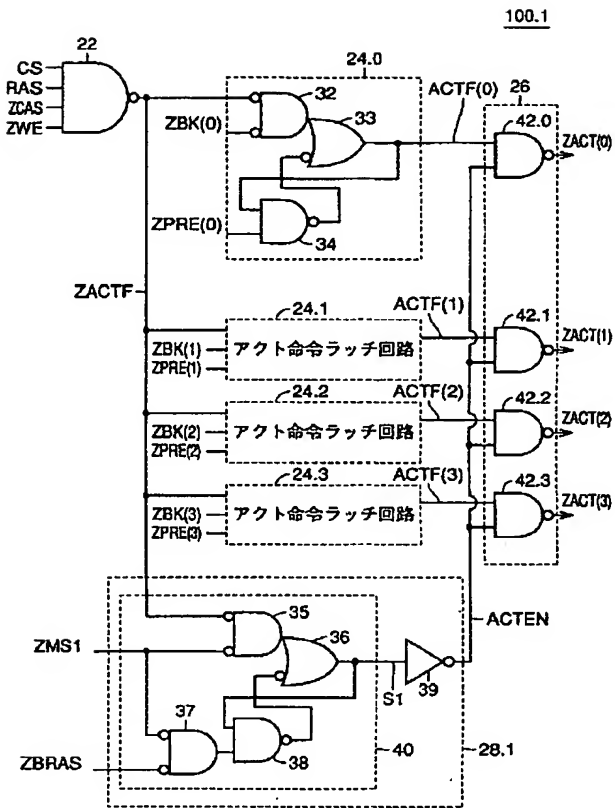
【図1】



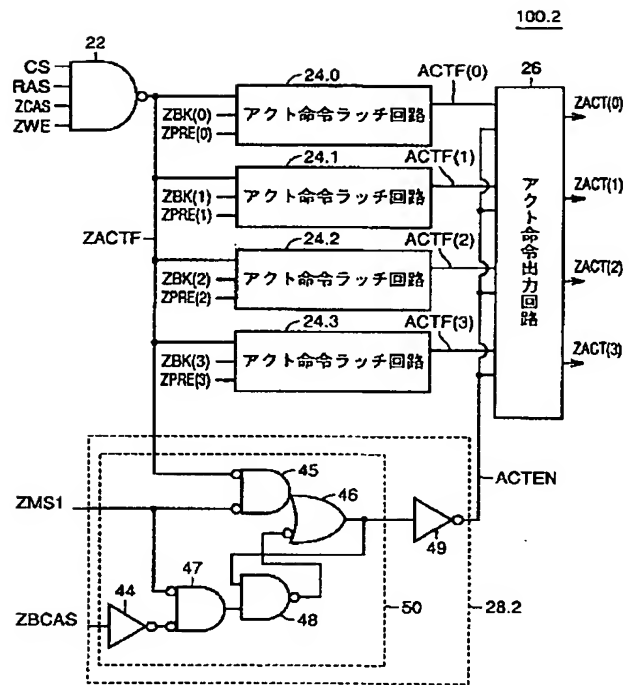
【図3】



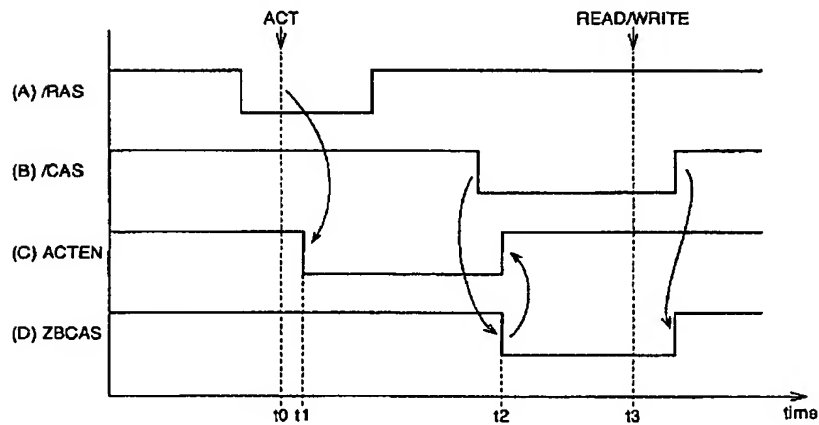
【図 2】



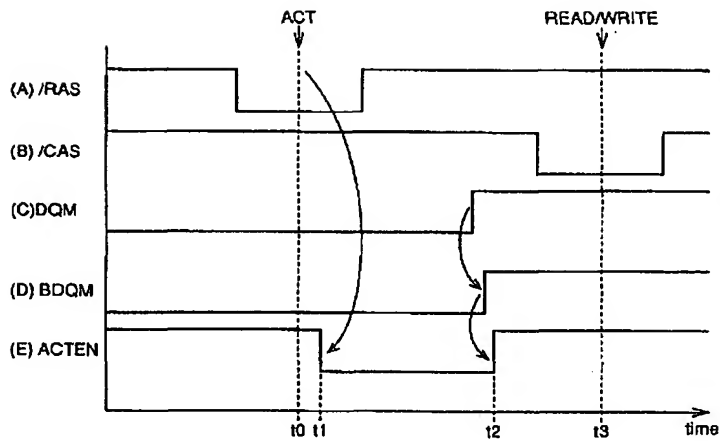
【図 4】



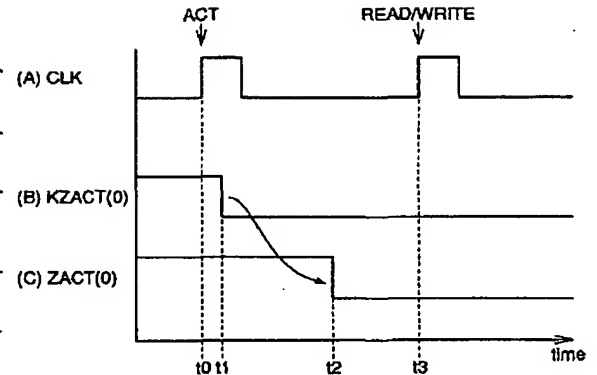
【図 5】



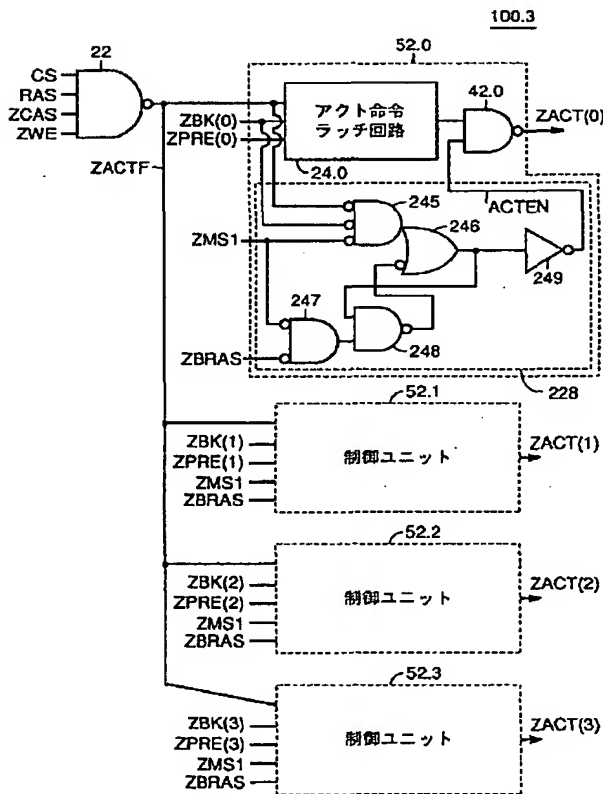
【図 6】



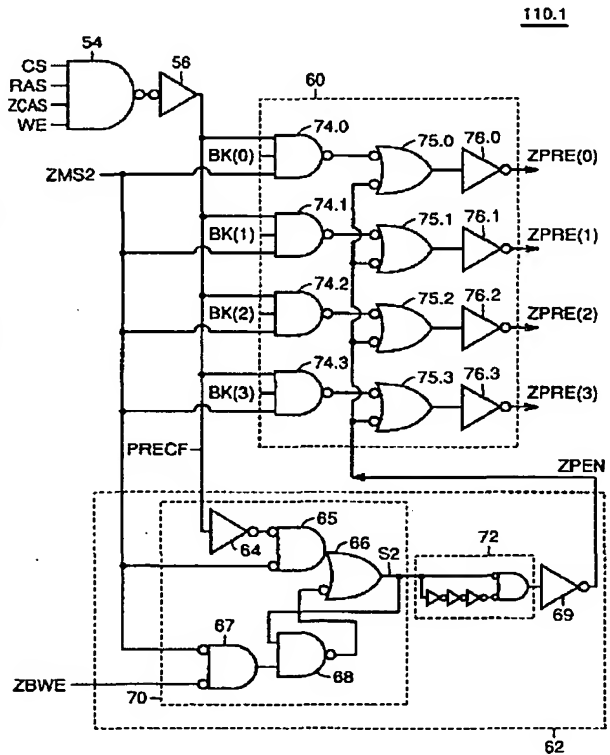
【図 16】



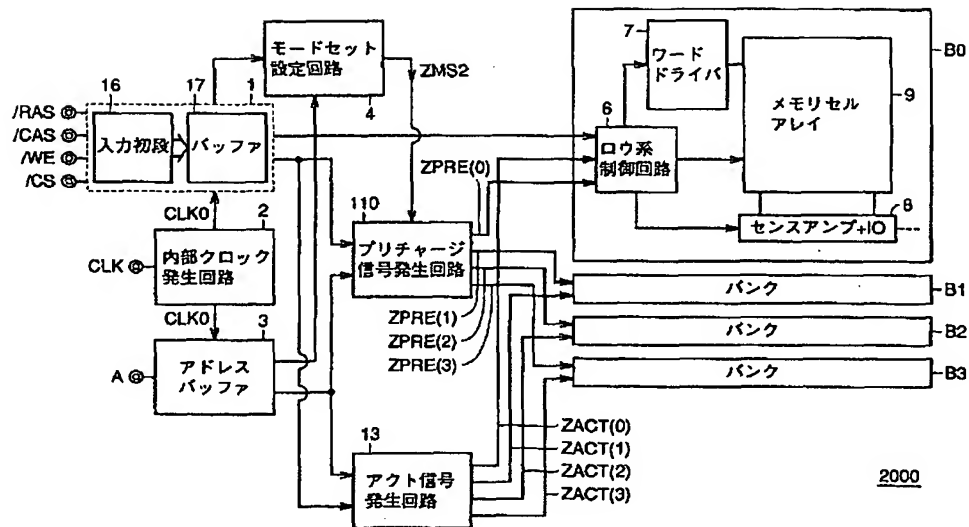
【図 7】



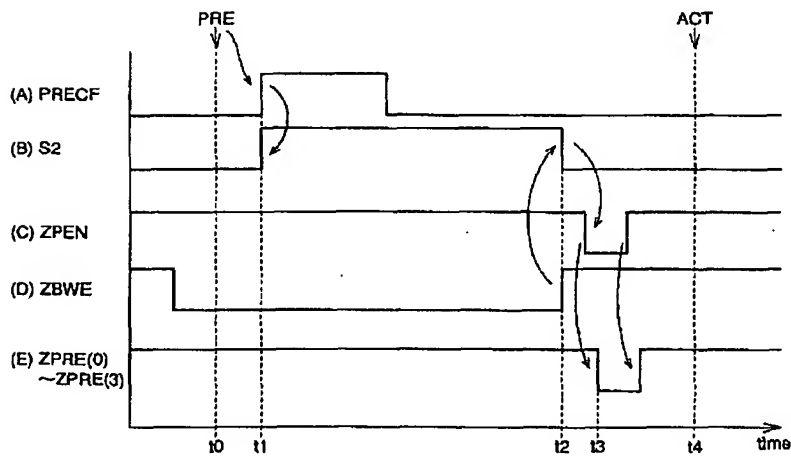
【図 9】



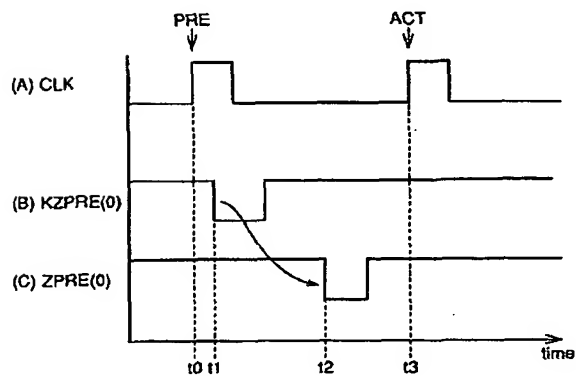
【図 8】



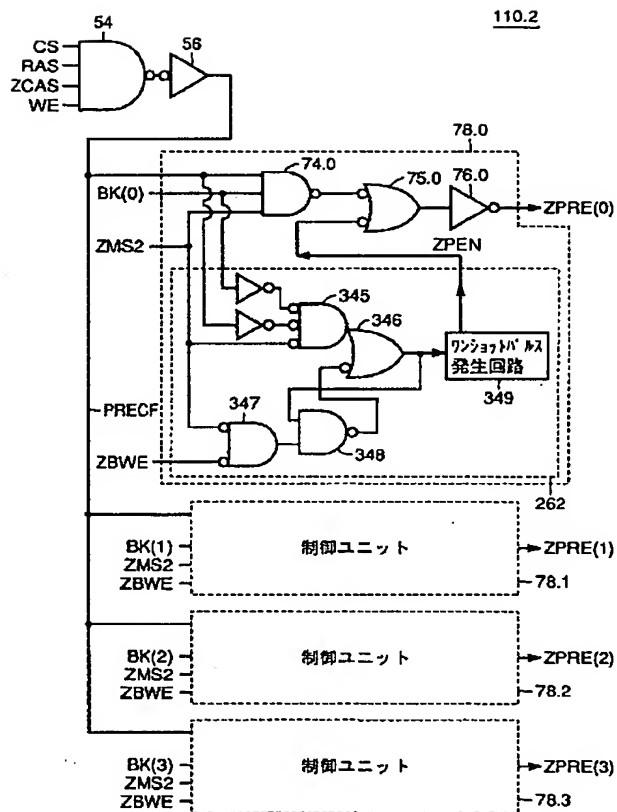
【図 10】



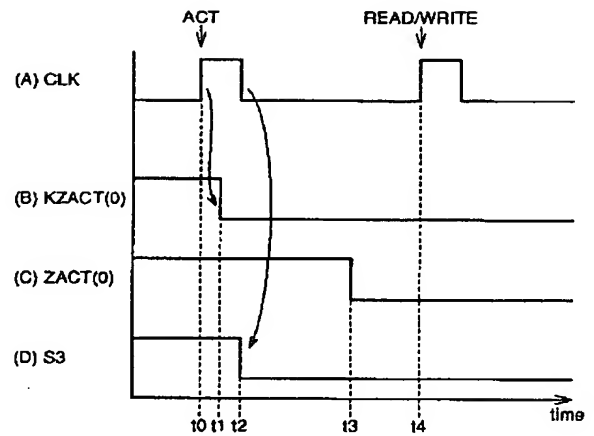
【図 21】



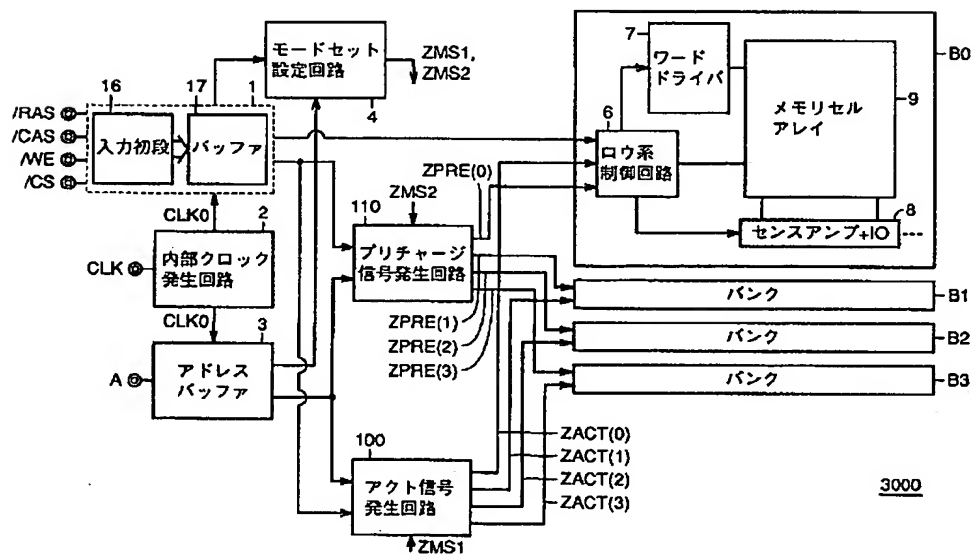
【図 1 1】



【图 18】

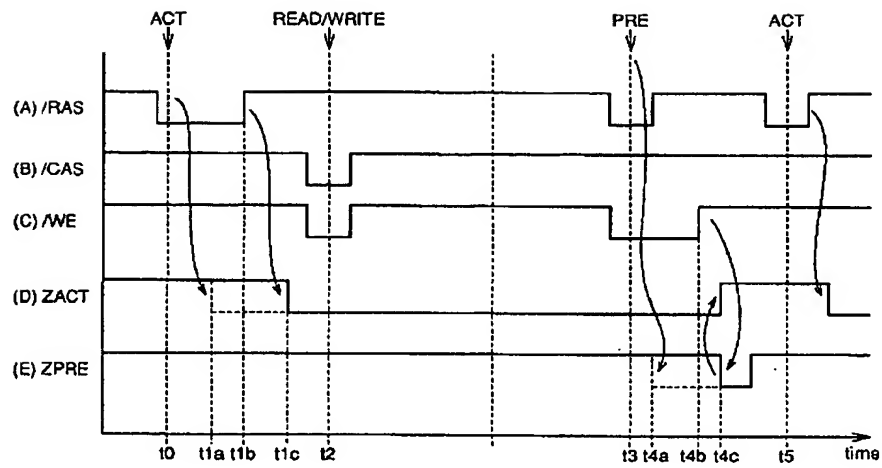


【圖 12】

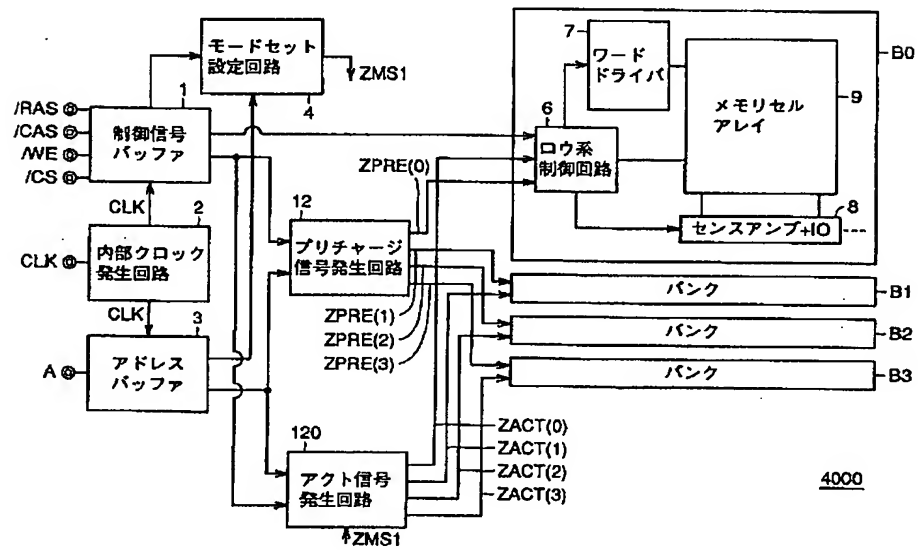




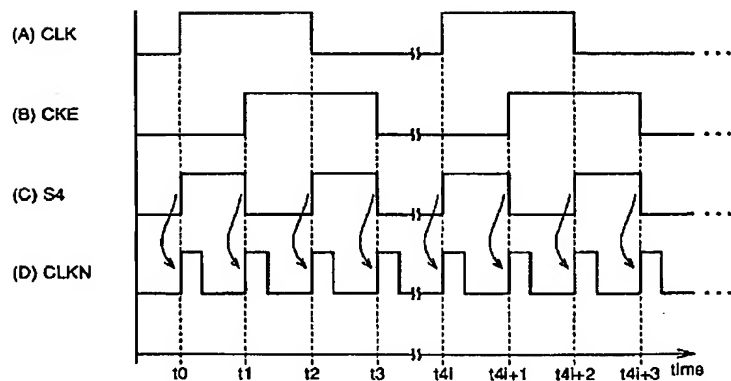
【図 1 3】



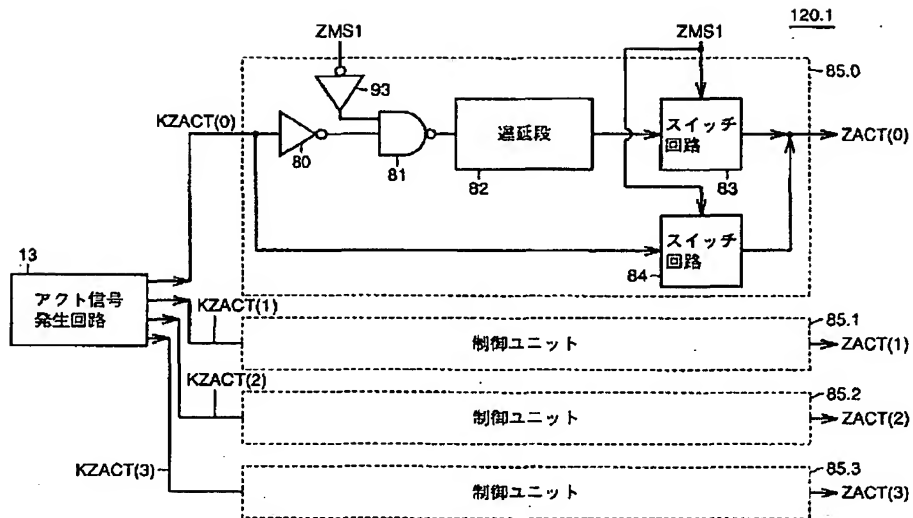
【図 1 4】



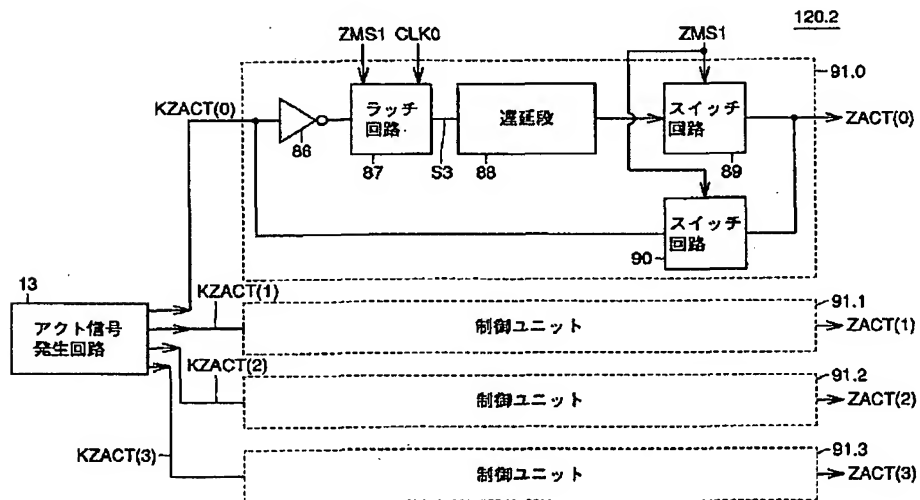
【図 2 7】



【図 15】



【図 17】



【図 30】

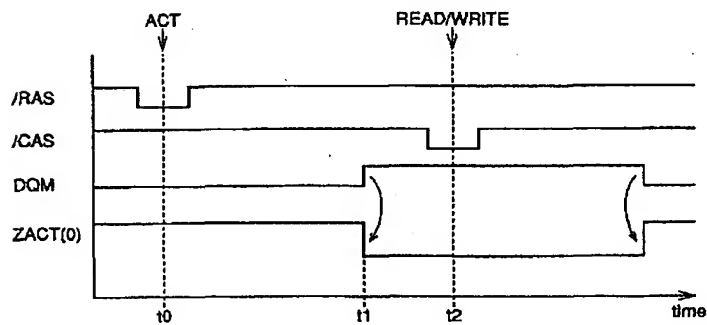
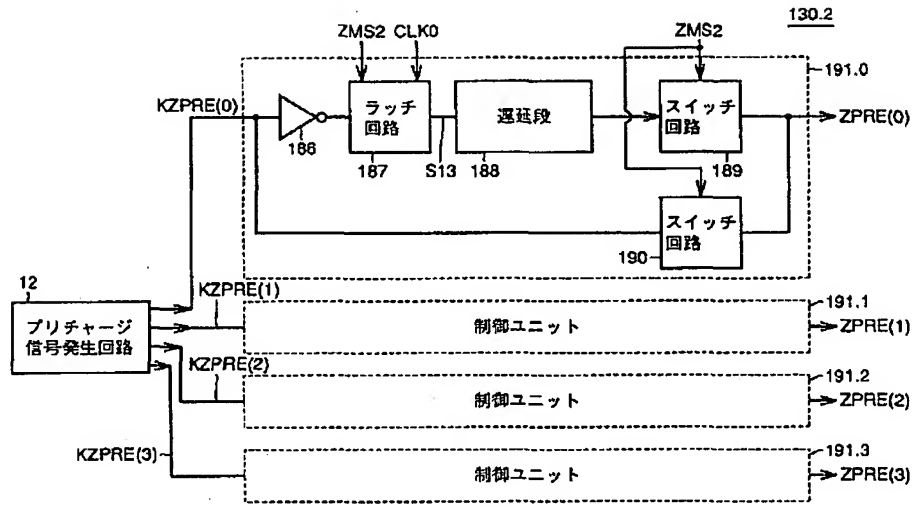
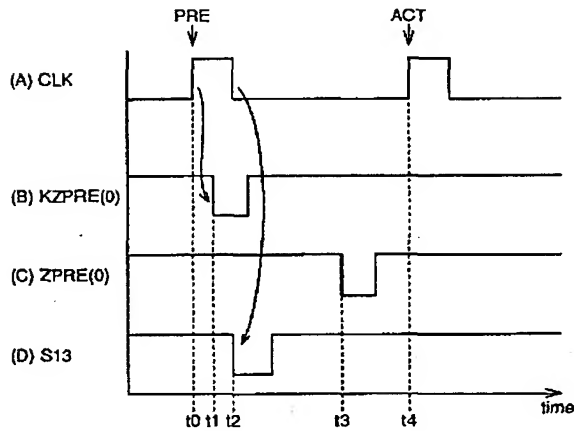


Figure 1 is a block diagram of a control system. On the left, a block labeled 'プリチャージ信号発生回路' (Precharge signal generation circuit) 12 outputs four signals: KZPRE(0), KZPRE(1), KZPRE(2), and KZPRE(3). The KZPRE(0) signal enters a dashed box labeled 130.1. Inside this box, KZPRE(0) passes through an inverter 180, then an AND gate 181 (which also receives a ZMS2 signal from above), then a delay block 182, and finally a switch circuit 183. The output of switch circuit 183 is ZPRE(0). A feedback path from ZPRE(0) goes through switch circuit 184 back to the input of the AND gate 181. The ZMS2 signal also branches off to switch circuit 183. Outside the dashed box 130.1, KZPRE(1) is connected to a control unit 185.1, which outputs ZPRE(1). KZPRE(2) is connected to a control unit 185.2, which outputs ZPRE(2). KZPRE(3) is connected to a control unit 185.3, which outputs ZPRE(3). The labels 185.1, 185.2, and 185.3 are positioned to the right of their respective control units.

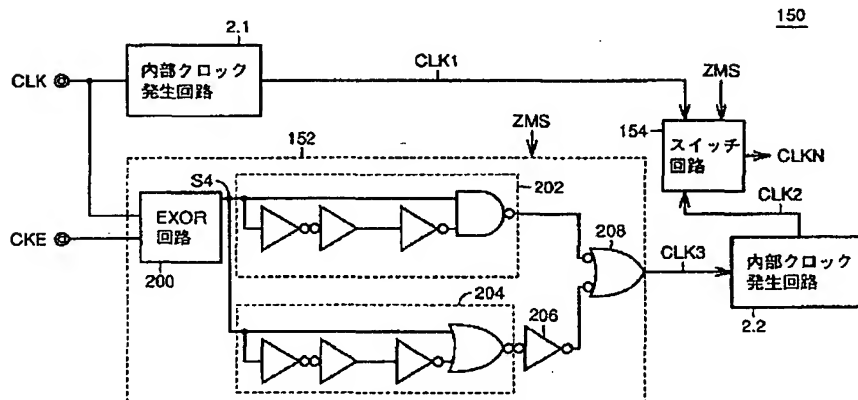
【図22】



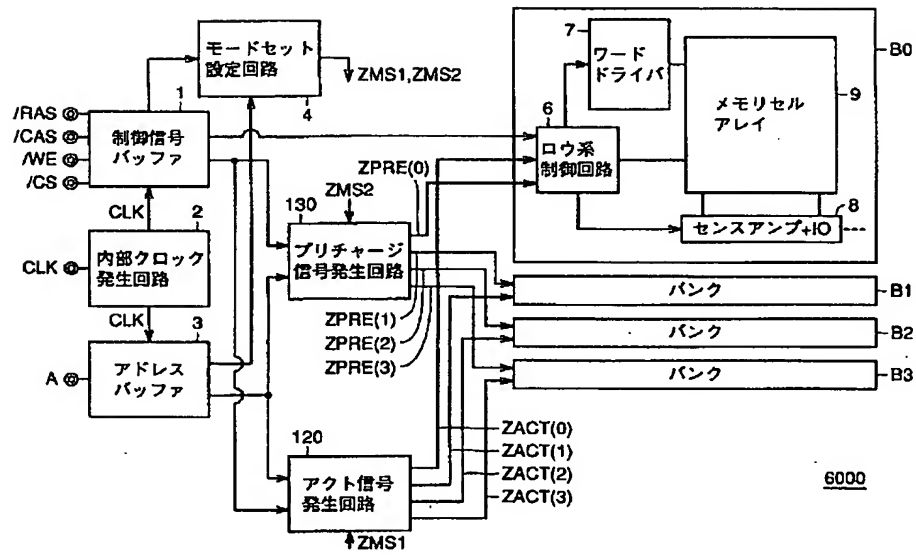
【図23】



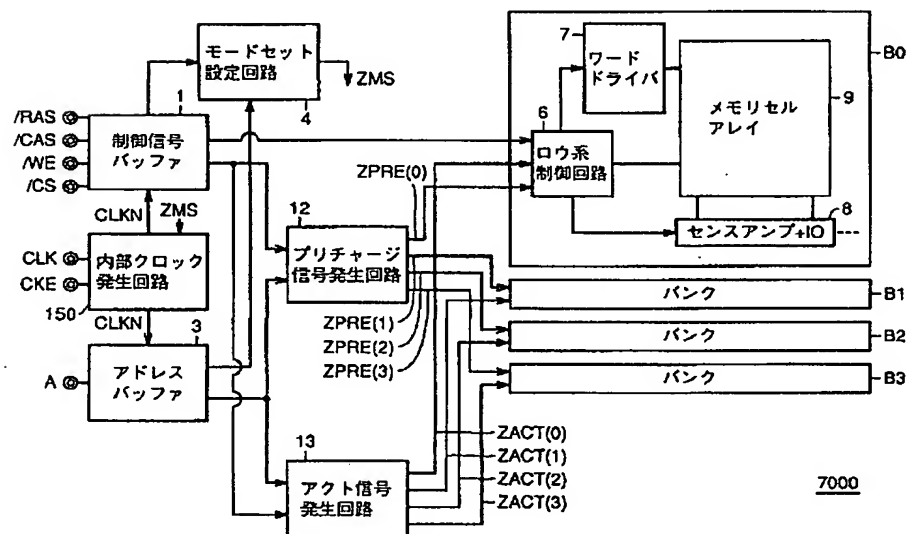
【図26】



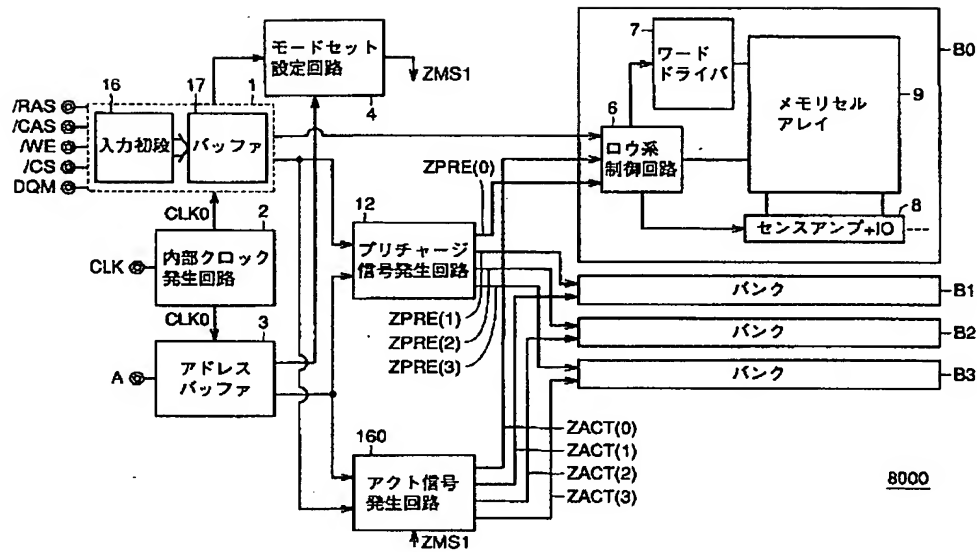
【図 2 4】



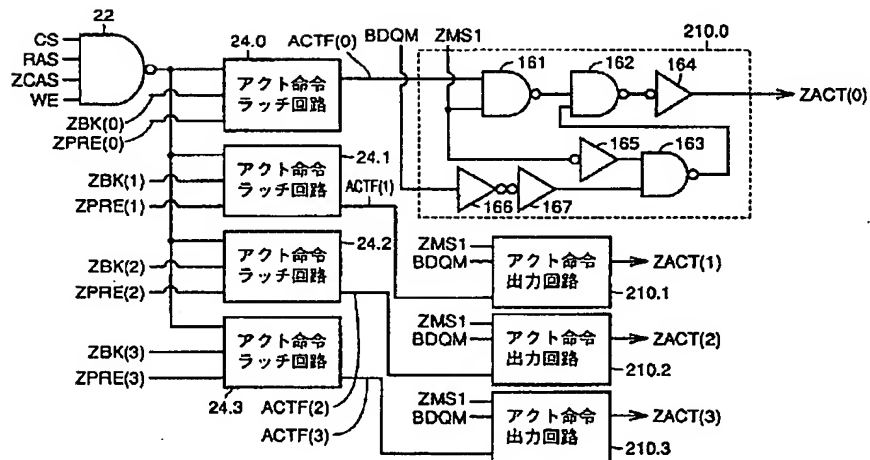
【図 25】



【図 28】



【図 29】



The timing diagram illustrates the sequence of operations for a 64K DRAM array. The signals are defined as follows:

- (A) CLK: Clock signal, a periodic square wave.
- (B) /CS: Chip select, active low, high during idle.
- (C) /RAS: Row address strobe, active low, high during idle.
- (D) /CAS: Column address strobe, active low, high during idle.
- (E) /WE: Write enable, active low, high during idle.
- (F) A: Data bus, showing data X, Y, and BK with shaded regions indicating valid data periods.

The diagram is divided into four clock cycles labeled 11, 12, 13, and 14. Vertical dashed lines mark the ACT, READ, PRE, and ACT events. Signal (A) shows data X, Y, and BK with various shaded regions indicating valid data periods.

(51) Int. Cl. <sup>6</sup>

FI

G 1 1 C 11/34

3 6 2 S

3 7 1 A